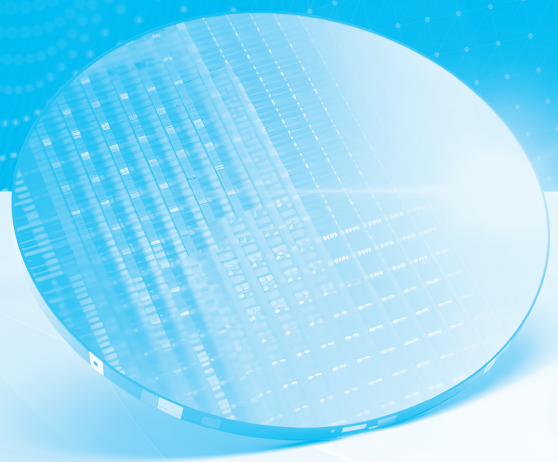
清样输出时间：14:25:13 七月 29, 2025　　版心：33行×39字　　流程节点：印刷文件准备

Part One

第一篇

新一代功率半导体的开发



国排高科 · 智能出版新时代　　书稿页面：第19页 / 共312页

第一章

SiC 功率半导体

第一节　SiC 单晶生长中晶体缺陷的产生机制及其控制方法

一、引言

宽禁带半导体是国家绿色创新中扮演重要角色的材料。氮化物半导体已经在蓝光和白光 LED 方面实用化，为家庭、办公室等的节能做出了巨大贡献。宽禁带半导体另一个备受期待的应用领域是实现各种电力转换的功率器件。工业设备、汽车、轨道交通等的节能化不仅在应对地球变暖方面至关重要，而且从国家产业竞争力的角度来看，也是一项重要的技术。在这些领域，主要使用耐压在 600 V 以上的功率器件，而在这一耐压范围内，碳化硅（SiC）功率器件有望成为创新技术[1,2]，其基础是 SiC 单晶材料和衬底。

在 20 世纪 90 年代初期，SiC 单晶材料的制造仅限于约 1 in 的直径。然而，目前直径达 150 mm 的单晶衬底已经是市面上的主流产品。此外，近几年来，多家供应商已经宣布开始制造直径为 200 mm 的衬底，据说这将成为开始大规模生产用于纯电动汽车（BEV）的 SiC 功率器件的契机。在功率器件应用中，由于其材料特性的优势，4H 晶型 SiC 单晶衬底被广泛使用。利用市售的 4H-SiC 单晶衬底，已经实现了高速低损耗的 SiC 肖特基势垒二极管（SBD）和金属-氧化物-半导体场效应晶体管（MOSFET）的制造和销售，并且已经应用在轨道交通和工业设备中。然而，为了进一步提高 SiC 功率器件的性能和可靠性，以及降低成本，需要进一步提高使用的 SiC 单晶衬底的质量。

本节将介绍基于物理气相升华法的 SiC 单晶材料生长技术现状，同时将描述碳化硅单晶材料生长过程中晶体缺陷的产生机理及控制方法。

清样输出时间：14:25:13 七月 29, 2025　　版心：33行×39字　　流程节点：印刷文件准备

二、基于物理气相升华法的 SiC 块状单晶材料生长

SiC 在常压下显示包晶反应型相图，在 2830℃下熔融，形成含 19%的 Si 熔液（1∶4）无法达成与 SiC 固体（1∶1）一致的液相生长（congruent melt growth）化学计量比。另外，由于 Si 熔液中的碳溶解度低，Si 熔液中的单晶生长也很困难。因此，商用的 SiC 单晶材料量产通常采用气相生长方法[3]。

现在，用于大尺寸 SiC 单晶材料的晶体生长方法被称为物理气相升华法[4]。物理气相升华法是一种气相生长法，通过将 SiC 粉末原料在高温下升华，然后在低温的籽晶上再结晶，以实现单晶材料的生长。图 1 是用物理气相升华法生长 SiC 单晶材料的示意图。在这种方法中，原料在惰性气体环境中被加热到 2000℃以上（通常使用石墨制成的坩埚，并形成半封闭空间）。加热可以使用感应加热或电阻加热（图 1 显示了使用感应加热的情况），在这个过程中产生如 Si，SiC_2，Si_2C 等升华气体。随后，升华气体在坩埚内温度梯度的作用下通过扩散和对流进行输运，最终在温度设置为低于原料温度的籽晶上再结晶。这种方法的特点是需要极高的处理温度（2000℃以上），而这种极高的晶体生长温度使得 SiC 单晶材料生长的过程控制和缺陷控制变得困难。

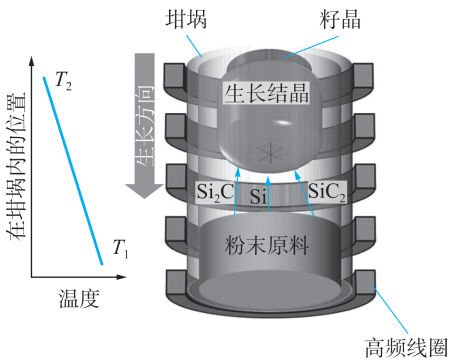


图 1　用物理气相升华法生长 SiC 单晶材料

通过物理气相升华法进行 SiC 单晶材料生长时，将原料温度、籽晶温度、惰性气体压力 3 个参数作为外部参数加以控制，进行晶体生长。过去，在优化坩埚结构的同时，通过在晶体生长中适当控制这些参数，实现了 SiC 单晶的大尺寸化和高品质化。图 2 总结了迄今为止 SiC 单晶材料大尺寸化的进展。最初，Tairov 等人生长的晶体直径只有 14 mm，比较小，但到目前已经实现了达到 8 in（约 200 mm）的大尺寸化。SiC 单晶的大尺寸化、量产化在 100 mm 直径以后基本以相同的速度进行，从最初的产品演示（最初的学会发表或展

国排高科 · 智能出版新时代　　书稿页面：第21页 / 共312页

清样输出时间：14:25:13 七月 29, 2025　　版心：33行×39字　　流程节点：印刷文件准备

示）开始，大约 10 年后进入量产阶段。因此，预计 200 mm 晶圆也将在 2025 年左右进入量产阶段。200 mm 晶圆对器件制造的冲击很大。最主要的原因是最尖端的 Si 200 mm 工艺线的有效利用。如果使用 Si 的 200 mm 器件生产线进行 SiC 晶圆流片，则几乎不需要新的设备投资，还可以享受使用大尺寸晶圆量产带来的规模效益，大幅降低器件的制造成本。

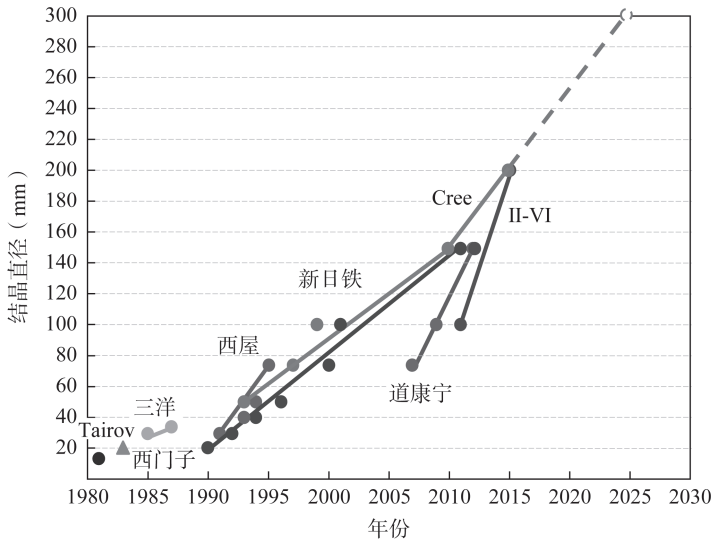


图 2　SiC 单晶材料的扩径趋势

另一方面，高质量的 200 mm SiC 单晶材料的稳定生产仍然面临着困难。尽管在学术会议上已有关于高质量（即晶体缺陷密度低）200 mm SiC 单晶材料的报告，然而观察市售的 150 mm SiC 单晶衬底时，仍然可以看到晶体缺陷密度较高的情况。可以预期，在更为困难的 200 mm 晶体生长中，晶体质量会进一步降低。因此，大尺寸 SiC 单晶材料的稳定制造仍未充分确立，提高其稳定性已成为紧迫的问题。目前，为了实现高性能 SiC 功率器件的批量生产，需要改善 SiC 单晶衬底的三个指标。具体而言，这包括 SiC 单晶衬底中的位错密度、平整度以及进行外延生长的衬底表面的品质。改善这三个指标将有助于 SiC 功率器件的高良率制造，进而保证 SiC 功率器件的长期可靠性。

SiC 单晶衬底中的许多晶体缺陷通常是在晶体生长过程中产生的。正如前述，通过物理气相升华法制造 SiC 单晶材料时，通过控制原料温度、籽晶温度和惰性气体压力这三个参数来进行晶体生长。然而，在实际的晶体生长过程中，晶体的生长特性会显著地受到整个坩埚内温度和温度梯度，升华气体的成分、压力和流速，以及生长晶体表面的温度、方位、成分和台阶结构等因素的影响。因此，为了提高 SiC 单晶材料的生长稳定性和可重复性，理解并控制这些参数对晶体生长的影响变得至关重要。

国排高科 · 智能出版新时代　　书稿页面：第22页 / 共312页

清样输出时间：14:25:13 七月 29, 2025　　版心：33行×39字　　流程节点：印刷文件准备

解决上述问题的一种有效方法是使用计算机仿真 SiC 单晶材料的生长过程。SiC 单晶生长的仿真从 20 世纪 90 年代末开始，目前已经能够模拟和预测各种现象[5-14]。在 SiC 单晶材料的超高温晶体生长中，由于原位观测难以实现，故仿真技术的重要性非常高。随着 SiC 单晶材料的大尺寸化，人们逐渐认识到这一技术的有效性。

在通过物理气相升华法进行 SiC 单晶材料生长的仿真中，需要考虑以下三个基本过程：

（1）热的产生和传递（感应加热/电阻加热、热传导、热辐射、热对流）。

（2）物质输运［多元粒子系统（Si、SiC_2、Si_2C 等）的扩散、对流、蒸发流（斯蒂芬流）］。

（3）化学反应（原料-升华气体界面、升华气体-坩埚壁界面、升华气体-生长晶体界面、气相）。

目前，综合处理（1）、（2）的仿真软件已经普及，针对（3）的仿真软件也很多。并且，除了上述晶体生长过程的仿真外，还利用计算机预测晶体所受的热应力，探索其与晶体缺陷产生的关系。早期各研究机构都开发了自研的仿真软件，并应用于 SiC 单晶的生长，但目前，商用仿真软件也开始开发和销售，其便利性正在提高[15]。

三、SiC 块状单晶中存在的晶体缺陷

SiC 单晶材料中的晶体缺陷（扩张缺陷）分类见表 1。扩张缺陷首先根据其空间扩展方式，分为位错（线缺陷）和堆垛层错（面缺陷）。而且，位错根据其伸展方向，可分为贯穿型位错和基平面位错（Basal Plane Dislocation，BPD）。前者是与晶体生长方向*c*轴平行伸展的位错，并且根据伯格斯矢量的方向，分为贯穿螺位错（Threading Screw Dislocation，TSD）和贯穿刃位错（Threading Edge Dislocation，TED）（实际上也存在具有介于两者中间性质的位错）。

表 1　SiC 单晶材料中的扩张缺陷（位错和堆垛层错）

扩展缺陷名称	伸展方向	滑移面	伯格斯矢量或单位滑移矢量
微管	⟨0001⟩	—	⟨0001⟩的n倍（$n \geqslant 3$）
贯穿螺位错（TSD）	⟨0001⟩	—	⟨0001⟩
贯穿刃位错（TED）	⟨0001⟩	$\{1\bar{1}00\}$	$\frac{1}{3}\langle 11\bar{2}0\rangle$
基平面位错（BPD）	(0001)面内	(0001)	$\frac{1}{3}\langle 11\bar{2}0\rangle$
层错（Frank 型）			$\frac{1}{3}\langle 0001\rangle$
层错（Shockley 型）			$\frac{1}{3}\langle 1\bar{1}00\rangle$

国排高科 · 智能出版新时代　　书稿页面：第23页 / 共312页

清样输出时间：14:25:14 七月 29, 2025　　版心：33行×39字　　流程节点：印刷文件准备

目前市售的 SiC 单晶衬底中的位错密度约为数千到 1 万个/cm^2，更低位错密度的衬底备受期待。类似于其他半导体材料，SiC 单晶中的位错被认为会对器件产生某种负面影响。例如，SiC 单晶中的贯穿螺位错在超过一定密度时被认为会导致 SiC 器件的耐压性能下降[16,17]，且在 MOSFET 中可能损害栅氧可靠性[18,19]。

SiC 单晶中的贯穿位错主要是由 grown-in 缺陷引起的，这些缺陷是由于晶体生长中的异常，例如多晶型混合等引入的[20,21]。此外，据报道，在晶体生长的初始成核阶段，贯穿位错会大量引入。Dudley 等人提出，在晶体生长初期的二维成核过程中会发生层错，并且伴随着贯穿位错的生成[22]。

Sanchez 等人[23]在这之后详细研究了晶体生长初期发生的贯穿位错，报告了多数贯穿位错与生成的层错密度有很好的相关性。他们提出，在层错是 Shockley 型时伴随着刃位错对的生成，而 Frank 型时伴随着螺位错对的生成。此外，Ohtani 等人[24]还报告，在晶体生长初期，籽晶/晶体生长界面会富集氮杂质，成为位错发生的原因。晶体生长初期的氮富集被认为是由于原料和坩埚中的残留氮引起的[25]。

研究还发现，SiC 单晶衬底中的贯穿螺位错在外延生长时，会转化为对器件影响更大的另一形式的晶体缺陷，或导致二次复合缺陷的生成。例如，贯穿螺位错可能成为外延生长时称为“胡萝卜”（carrot）的外延缺陷的发生起点[26,27]，或者转化为 Frank 型层错[28]。

另一方面，有报告指出，基平面位错是 SiC 双极型器件正向特性劣化的原因[29,30]。正向特性劣化是指当 SiC 双极型器件正向工作时，开启电压逐渐上升，即损耗逐渐增大的现象。最初被视为 SiC 双极型器件特有的问题，但后来，随着 SiC 单极型器件如 MOSFET 中的体二极管劣化导致开启电压上升和漏电流增加的报道逐渐增多，这一问题被认为是妨碍 SiC 器件普及的最大问题[31,32]。在后续研究中发现，这种正向特性劣化的本质是存在于 SiC 器件漂移层中的基平面位错在器件正向工作时注入的电子-空穴对复合的作用下，产生了层错扩展。为了解释这种层错扩展的驱动力，提出了源于层错（4H-SiC 单晶中的 3C-SiC 结构）中电子系统能量变化的量子阱效应模型[33-37]。实际上，基于这个模型的理论计算由多个研究小组进行，并对各种现象定量地进行了解释[38,39]。

四、SiC 块状单晶生长中基平面位错的产生机理

如前所述，SiC 单晶中的基平面位错是目前 SiC 功率器件可靠性方面的最大问题，迫切需要减少其数量。在用于制造功率器件的六方晶系 SiC 单晶中，包括 4H-SiC 在内，基平面是易滑移的面，基平面位错则被预测为是由于某种原因引起的滑移位错。通过各种实验和计算机仿真，推测基平面位错产生的主要原因是在晶体生长和冷却过程中施加于生长晶体上的热应力，但其详细机制仍未明确。特别是，了解基平面位错是从 SiC 单晶的哪个部分

清样输出时间：14:25:14 七月 29, 2025　　版心：33行×39字　　流程节点：印刷文件准备

产生的，对于寻找抑制方法非常重要，但对这方面的了解仍然不足。在此，基于笔者的实验结果，将对这一问题进行讨论。

图 3 是 Sonoda 等人[40]观察到的 4H-SiC 单晶顶部出现的$(000\bar{1})$小面的反射 X 射线形貌图像。$(000\bar{1})$小面是指在晶体顶部出现奇异面（稳定面）$(000\bar{1})$的平坦表面。通常在其中央附近存在螺旋生长中心，有助于 SiC 单晶的单一晶型生长。图 3a 和图 3c 分别通过使用衍射矢量$g = 11\bar{2}8$、$1\bar{1}0\bar{7}$进行 X 射线形貌观察，展示了 4H-SiC 单晶的$(000\bar{1})$小面部分，而图 3b 和图 3d 则是对其中一部分的放大图。在图 3a 和图 3c 中，小面部分用白线圈出。在图 3b 中，观察到了点状和线状的对比度，而在图 3d 中，仅观察到了点状的对比度。Sonoda 等人根据这些结果得出结论：点状对比度对应于贯穿螺位错，而线状对比度对应于基平面位错[40]。

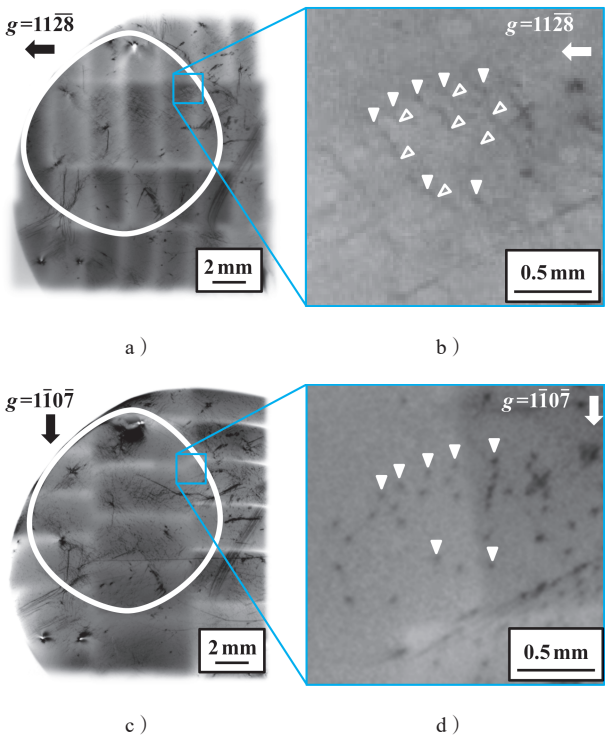


图 3　4H-SiC 单晶顶部出现的$(000\bar{1})$小面的反射 X 射线形貌图[40]［a），b）使用衍射矢量$g = 11\bar{2}8$进行观测，c），d）使用衍射矢量$g = 1\bar{1}0\bar{7}$进行观测。b）、d）是在 a）、c）中被矩形包围的部位的扩大像。］

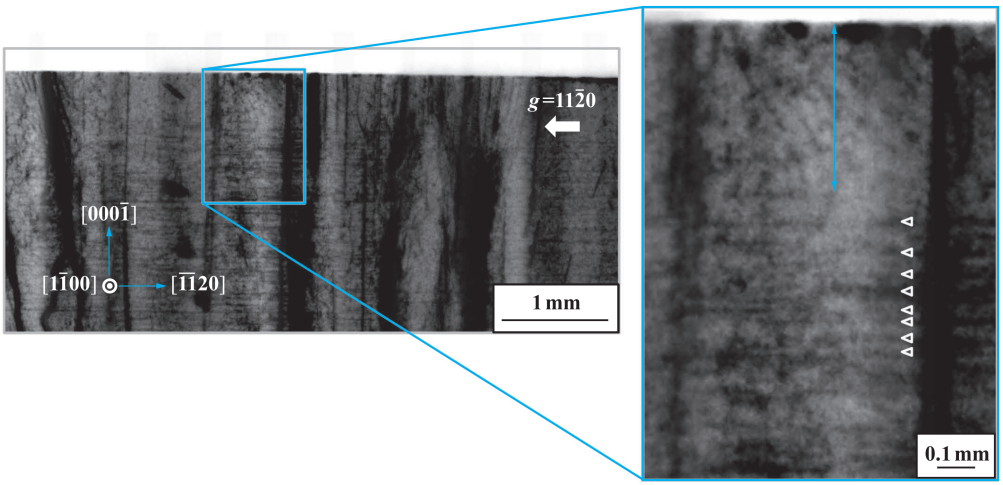
图 3 中的重要一点是基平面位错总是在贯穿螺位错附近出现。这表明基平面位错的产生与贯穿螺位错密切相关。有报告指出，在贯穿螺位错的晶体表面终端部分，伴随着贯穿螺

国排高科 · 智能出版新时代　　书稿页面：第25页 / 共312页

清样输出时间：14:25:14 七月 29, 2025　　版心：33行×39字　　流程节点：印刷文件准备

位错的应力场由于表面缓和效应而增大[41]，认为这种增大的扭曲场诱发了基平面位错的产生。在图 3 的 X 射线形貌图中，另一个重要的观察结果是，在小面及其周围区域，基平面位错密度非常低。这些区域的基平面位错密度为 10^3 cm^{-2} 或更低，比在市售的 SiC 单晶衬底中观察到的基平面位错密度 10^4～10^5 cm^{-2} 低一个数量级以上。为了确认这一点，Sonoda 等人对断面样品进行了位错观察。

图 4 展示了 Sonoda 等人的观察结果[40]。图 4a 是 4H-SiC 大尺寸单晶沿*c*轴纵向切割的$(1\bar{1}00)$面透射 X 射线形貌图像（衍射矢量：$g = 11\bar{2}0$），图 4b 是该$(000\bar{1})$小面下方区域的放大图像（对应于图 4a 中由矩形框出的区域）。在图 4 中，观察到了许多水平延伸的黑色线状对比度，这些明显是由基平面位错引起的。图中重要的一点是，在小面正下方的 0.5 mm 范围内不存在与基平面位错相对应的黑色线状对比度，而在此之下的区域（籽晶侧）才存在。这一结果与在小面部分及其周围观察到非常低的基平面位错密度的反射 X 射线形貌图像（图 3）结果非常一致。此外，Sonoda 等人进一步观察到，基平面位错在距离小面 0.5 mm 以上的区域是由晶体的肩部位置引入的。这一结果与 Gao 和 Kakimoto 进行的 SiC 大尺寸单晶生长的仿真计算结果[42]非常一致。根据他们的计算结果，在呈圆顶状（沿晶体生长方向凸出的形状）生长的 4H-SiC 单晶中，热应力在晶体的肩部达到最大。因此，如果将热应力视为产生基平面位错的主要原因，那么从晶体肩部引入基平面位错是可预测的，而 Sonoda 等人的实验结果支持了这一预测结果。



a）　　b）

图 4　a）从 4H-SiC 单晶材料沿*c*轴切出的$(1\bar{1}00)$面纵切晶片的透射 X 射线形貌图像（衍射矢量：$g = 11\bar{2}0$）[40]b）$(000\bar{1})$小面正下方部分的放大图像［相当于 a）中由矩形包围的部位］

国排高科 · 智能出版新时代　　书稿页面：第26页 / 共312页

清样输出时间：14:25:14 七月 29, 2025　　版心：33行×39字　　流程节点：印刷文件准备

另一方面，Nakano 等人[43]详细研究了 4H-SiC 大尺寸单晶内部基平面位错的分布。他们指出，随着 4H-SiC 大尺寸单晶的生长，基平面位错密度增大，并且通过实验证明了 4H-SiC 大尺寸单晶中的基平面位错密度与贯穿螺位错密度成正相关。这些结果表明，基平面位错的增多是通过与贯穿螺位错的相互作用引起的，这意味着贯穿螺位错密度的降低对于基平面位错密度的降低至关重要[44,45]。

五、总结

本节讨论了大尺寸、高品质 SiC（碳化硅）单晶材料的发展现状，以及在其晶体生长过程中发生缺陷的机制和控制方法。虽然 SiC 功率半导体已经开始实用化和普及，但为了推广 SiC 功率设备，特别是在电动汽车等领域的广泛应用，进一步提高 SiC 单晶材料的质量和实现稳定生产至关重要。希望在今后，本节中讨论的问题能够得到解决，向市场稳定供应高品质的 SiC 单晶材料和功率设备，从而为抑制全球变暖做出贡献。

参考文献

[1] 松波弘之，大谷昇，木本恒暢，中村孝編著：半導体 SiC 技術と応用，第 2 版、日刊工業新聞社 (2011 年).
[2] T. Kimoto and J. A. Cooper: Fundamentals of Silicon Carbide Technology: Growth, Characterization, Devices and Applications, Wiley-IEEE Press(2014).
[3] D. Chaussende and N. Ohtani: Single Crystals of Electronic Materials: Growth and Properties, p.129 edited by R. Fornari, Elsevier(2018).
[4] Yu. M. Tairov and V. F. Tsvetkov: *J. Cryst. Growth*, 43, 209(1978).
[5] D. Hofmann et al.: *J. Cryst. Growth*, 146, 214(1995).
[6] S. Y. Karpov et al.,: *J. Cryst. Growth*, 169, 491(1996).
[7] M. Pons et al.,: *J. Electrochem. Soc.*, 143, 3727(1996).
[8] A. S. Segal et al.,: *Mater. Sci. Eng. B*, 61, 40(1999).
[9] S. G. Müller et al.,: *J. Cryst. Growth*, 211, 325(2000).
[10] Q. S. Chen et al.,: *J. Cryst. Growth*, 224, 101(2001).
[11] X. J. Chen et al.,: *J. Cryst. Growth*, 310, 1810(2008).

国排高科 · 智能出版新时代　　书稿页面：第27页 / 共312页

清样输出时间：14:25:14 七月 29, 2025 版心：33行×39字 流程节点：印刷文件准备

[12] M. Nakabayashi et al.,: *Mater. Sci. Forum*, 600-603, 3(2009).
[13] K. Kakimoto et al.,: *J. Cryst. Growth*, 324, 78(2011).
[14] B. Gao and K. Kakimoto: *J. Cryst. Growth*, 386, 215(2014).
[15] STR Japan K. K. (https://www.str-soft.co.jp/).
[16] Q. Wahab et al.,: *Appl. Phys. Lett*., 76, 2725(2000).
[17] H. Fujiwara et al.,: *Appl. Phys. Lett*., 100, 242102(2012).
[18] J. Senzaki et al.,: *Mater. Sci. Forum*, 483-485, 661(2005).
[19] K. Yamamoto et al.,: *Mater. Sci. Forum*, 717-720, 477(2012).
[20] N. Ohtani et al.,: *Mater. Res. Soc. Symp. Proc*., 510, 37(1998).
[21] R. C. Glass et al.,: *Phys. Stat. Sol.* (*b*), 202, 149(1997).
[22] M. Dudley et al.,: *Appl. Phys. Lett*., 75, 784(1999).
[23] E. K. Sanchez et al.,: *J. Appl. Phys*., 91, 1143(2002).
[24] N. Ohtani et al.,: *J. Cryst. Growth*, 386, 9(2014).
[25] C. Ohshige et al.,: *J. Cryst. Growth*, 408, 1(2014).
[26] M. Benamara et al.,: *Appl. Phys. Lett*., 86, 021905(2005).
[27] H. Tsuchida et al.,: *J. Cryst. Growth*, 306, 257(2007).
[28] H. Tsuchida et al.,: *J. Cryst. Growth*, 310, 757(2008).
[29] P. Bergman et al.,: *Mater. Sci. Forum*, 353-356, 299(2001).
[30] H. Lendenmann et al.,: *Mater. Sci. Forum*, 353-356, 727(2001).
[31] A. Agarwal et al.,: *IEEE Electron Device Lett*., 28, 587(2007).
[32] V. Veliadis et al.,: *IEEE Electron Device Lett*., 33, 952(2012).
[33] M. S. Miao et al.,: *Appl. Phys. Lett*., 79, 4360(2001).
[34] W. R. L. Lambrecht and M. S. Miao: *Phys. Rev. B*, 73, 155312(2006).
[35] M. S. Miao and W. R. L. Lambrecht: *J. Appl. Phys*., 101, 103711(2007).
[36] T. A. Kuhr et al.,: *J. Appl. Phys*., 92, 5863(2002).
[37] C. Taniguchi et al.,: *J. Appl. Phys*., 119, 145704(2016).
[38] Y. Mannen et al.,: *J. Appl. Phys*., 124, 085705(2019).
[39] A. Iijima and T. Kimoto: *J. Appl. Phys*., 126, 105703(2019).
[40] M. Sonoda et al.,: *J. Cryst. Growth*, 499, 24(2018).
[41] S. Wang et al.,: *Mater. Res. Symp. Proc*., 307, 249(1993).
[42] B. Gao and K. Kakimoto: *Cryst. Growth Design*, 14, 11272(2014).
[43] T. Nakano et al.,: *J. Cryst. Growth*, 516, 51(2019).
[44] N. Ohtani et al.,: *Jpn. J. Appl. Phys*., 45, 1738(2006).
[45] Y. Chen et al.,: *Mater. Res. Soc. Sym. Proc*., 911, 151(2006).

清样输出时间：14:25:14 七月 29, 2025　　版心：33行×39字　　流程节点：印刷文件准备

第二节　排除氧化工艺的高质量 SiC MOS 界面形成

一、SiC MOSFET 的现状与挑战

与硅（Si）相比，碳化硅（SiC）具有约 3 倍的带隙和约 10 倍的绝缘击穿电场强度，因此在相同耐压下，使用 SiC 制造的功率器件漂移层电阻可以降低到使用 Si 时的约 1/500。过去，在 600 V 以上的电压范围内，主要使用少数载流子器件——硅绝缘栅双极型晶体管（IGBT）。然而，IGBT 通过少数载流子注入来降低导通电阻，导致在开关时产生拖尾电流，从而造成功耗损失。使用 SiC 则可以在金属-氧化物-半导体场效应晶体管（MOSFET）这种多数载流子器件中实现相同或更低的导通电阻。此外，Si IGBT 由于 PN 结扩散电位的原因会产生约 0.7 V 的电压偏移，因此即使导通电阻较低，也会因较高的开启电压直接导致损耗。另一方面，SiC MOSFET 在原理上没有电压偏移，因此可以实现极低的开启电压。因此，将 Si IGBT 替换为 SiC MOSFET 可以显著减小功耗损失[1-3]。

实际上，虽然超越 Si 功率器件性能的 SiC MOSFET 已经开始量产，但尚未充分发挥 SiC 优异的物理特性，其性能仍然与人们所期待的相去甚远。最大的挑战是 MOSFET 的导通电阻。目前，市售 SiC MOSFET 的迁移率仅为 SiC 体迁移率（大约 1000 $cm^2 \cdot V^{-1} \cdot s^{-1}$）的几个百分点（15～25 $cm^2 \cdot V^{-1} \cdot s^{-1}$ 左右）[3]。因此，在 600～1200 V 级 MOSFET 中，沟道电阻占导通电阻的大部分［估算约 66%（600 V），48%（1200 V）[3]］，增加了功率损耗。低沟道迁移率的主要原因是 SiC MOS 界面的高密度界面态。实际上，热氧化形成的 SiC/SiO_2 界面的界面态密度（D_{IT}：大约 10^{13} $eV^{-1} \cdot cm^{-2}$），比典型的 Si/SiO_2 界面（大约 10^{10} $eV^{-1} \cdot cm^{-2}$）大 1000 倍以上[4-6]。因此，由于界面态引起的载流子俘获以及俘获载流子引起的库仑散射的影响，导致了沟道迁移率的降低。

上述高密度界面态限制 MOSFET 的特性是不言而喻的，但是在 MOSFET 中晶面方向和受主密度变化的情况下，界面态对迁移率的影响还没有得到充分的理解。特别是对于工业应用中重要的非极性面上 MOS 界面和具有高浓度体区的 MOSFET 缺乏相关研究。因此，首先需要明确界面态是否是与器件结构（晶面和受主密度）无关的共性问题。另外，为了实现界面态的急剧降低，理解界面态的物理起源是不可缺少的。例如，已知 Si/SiO_2 界面的主要缺陷是 Si 悬挂键（P_b 中心）[7]，这可以通过氢终端钝化[8]。而对于 SiC/SiO_2 界面的缺陷，长期以来一直被认为是由于 SiC 氧化过程中残留的碳原子引起，然而支持这一观点的证据尚不充分。深入了解界面态的起源和生成机制，并在此基础上进行氧化膜工艺的开发至关重要。

清样输出时间：14:25:14 七月 29, 2025　　版心：33行×39字　　流程节点：印刷文件准备

笔者等人此前从 SiC MOSFET 迁移率受限原因的研究出发，致力于界面态的产生机制以及调控方法的研究。以下将介绍其中一部分相关研究。

二、理解具有不同晶面和受主密度的 SiC MOSFET 的迁移率限制因素

如前所述，改变晶面和受主密度时，界面态对 MOSFET 迁移率的影响并不十分明确。实际上，已知 SiC MOSFET 的沟道迁移率高度依赖于晶面及受主密度。例如，$(11\bar{2}0)$面（a 面）和$(1\bar{1}00)$面（m 面）等非极性面（图 1）与$(1\bar{1}00)$面（Si 面）相比，具有更高的迁移率[9-11]。另外，与晶面（Si、a、m 面）无关，当体区的受主密度（N_A）达到 $5\times10^{17}\ \mathrm{cm^{-3}}$ 以上时，MOSFET 的沟道迁移率就会急剧减小[11]。从产业应用的观点来看，非极性面（a、m 面）是在 Si 面衬底上形成的沟槽的侧壁上出现的晶面，可以用于形成能够实现单元小型化的沟槽型 MOSFET 的沟道。另外，具有足够高的体区受主密度（N_A：10^{17}～$10^{18}\ \mathrm{cm^{-3}}$）对于抑制 MOSFET 的短沟道效应和确保高阈值电压是必要的。因此，理解具有不同晶面和受主密度的 SiC MOSFET 的迁移率限制因素非常重要。

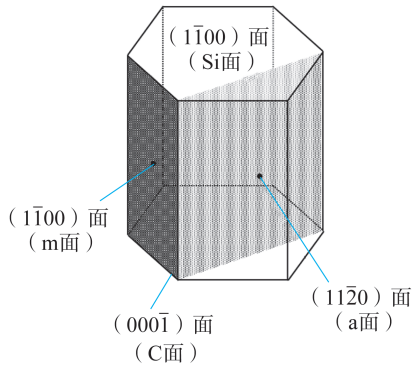


图 1　4H-SiC 的晶体结构和主要晶面（Si、a、m、C 面）

在以前的研究中，研究人员报告了在具有较低受主密度（N_A：$10^{16}\ \mathrm{cm^{-3}}$）体区的 MOSFET 中，导带底（$E_C$）附近能量区域的$D_{IT}$值与 MOSFET 的沟道迁移率之间存在相关性[6]。对于这种非常浅的能量区域的D_{IT}，很难通过通常的 MOS 电容器的电容测量进行定量分析，但可以通过 MOSFET 的极低温亚阈值特性进行评估[6]。因此，本研究对具有不同受主密度和晶面的 MOSFET 的亚阈值特性进行了评估，并对界面态密度进行了定量分析。进而，基于得到的结果，讨论了 MOSFET 迁移率的主要限制因素[5-12]。

实验使用了 n 型 SiC 衬底上生长的 Si 面、a 面和 m 面的低浓度 n 型 SiC 外延层［施主

国排高科 · 智能出版新时代　　书稿页面：第30页 / 共312页

清样输出时间：14:25:14 七月 29, 2025　　版心：33行×39字　　流程节点：印刷文件准备

密度（N_D）：(2～5) × 10^{15} cm^{-3}]。准备了 Si 面 4°偏轴，a、m 面 0°或 4°偏轴的样品。在此，关于 a、m 面的 4°偏轴样品，分别准备了偏向 Si 面方向以及 C 面方向的 2 种样品。通过在室温下注入铝离子（Al^+），形成$N_A = 1 \times 10^{17} \sim 3 \times 10^{18}$ cm^{-3} 的 p 型体区，通过在 300℃下注入磷离子（P^+）（剂量：5×10^{15} cm^{-2}）形成源区和漏区。Si 面样品在 1300℃氧化，a、m 面样品在 1250℃氧化形成栅氧化膜后，在一氧化氮（NO）气氛［10%氮（N_2）稀释］下进行 1250℃的氮化处理[13,14]。

图 2 展示了制作的 MOSFET 的有效迁移率随受主掺杂浓度的变化关系。从图中可以看出，不考虑晶面的影响，高掺杂浓度区域（$N_A > 5 \times 10^{17}$ cm^{-3}）的迁移率呈下降趋势。此外，在相同的掺杂浓度下进行比较时，a 面和 m 面的 MOSFET 显示出比 Si 面 MOSFET 更高的迁移率。需要注意的是，这一趋势在场效应迁移率的峰值方面同样存在。

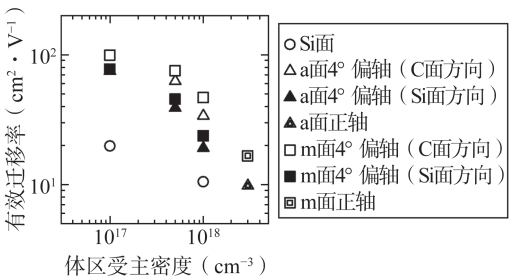


图 2　SiC MOSFET 在室温下的有效迁移率对体区受主密度的依赖性[12]
［迁移率在氧化膜电场 3.5 $MVcm^{-1}$（$N_A = 1 \times 10^{17} \sim 1 \times 10^{18}$ cm^{-3}）或 5.5 $MVcm^{-1}$（$N_A = 3 \times 10^{18}$ cm^{-3}）的充分强反型条件下测量。］

然后，通过改变温度，对 MOSFET 的漏极电流-栅极电压（I_D-V_G）特性进行表征，对 10^{-9} A < I_D < 10^{-8} A 电流范围内的亚阈值系数进行了评估。图 3 以 Si 面 MOSFET 的亚阈值系数的温度相关性为例。一般来说，MOSFET 的亚阈值系数（SS）由下式表示[15]：

$$SS = \frac{dV_G}{d(\log_{10} I_D)} = \frac{kT}{e} \ln 10 \frac{C_{ox} + C_D + e^2 D_{IT}}{C_{ox}} \tag{1}$$

其中，k为玻尔兹曼常数，T为绝对温度，e为电子电荷，C_{ox}为氧化膜电容，C_D为半导体电容。在式(1)中，$D_{IT} = 0$ 时的理论值如图 3 所示，在全温度范围内，实验值大大超过理论值。而且，理论值随着温度降低而接近 0，实验值反而有越低越增加的倾向。理论值和实验值的差起因于式(1)的D_{IT}项，因此预测本实验结果反映了导带端D_{IT}增加的倾向。另外，在同一温度下进行比较时，受主密度越高，亚阈值系数越高。这表明受主密度越高，导带端附近的界面态密度越高。

清样输出时间：14:25:14 七月 29, 2025　　版心：33行×39字　　流程节点：印刷文件准备

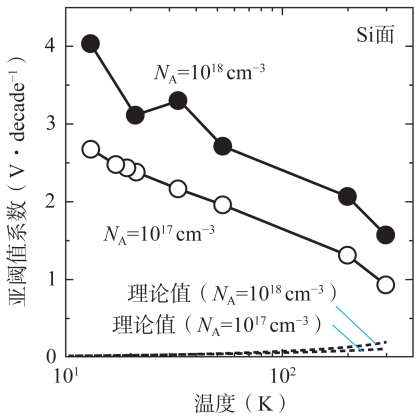


图 3　Si 面 SiC MOSFET（$N_A = 1 \times 10^{17}$，1×10^{18} cm^{-3}）的亚阈值系数的温度依赖性[12]
｛也展示了不考虑界面态时的理论值［在式(1)中假设$D_{IT} = 0$］｝

让我们从亚阈值系数和公式(1)出发进一步开展界面态密度评估的尝试。在这种情况下，重要的是要评估的D_{IT}的能量范围，即对应于漏极电流（10^{-9} A < I_D < 10^{-8} A）的表面费米能级。一般来说，亚阈值区中的电流［$I_{D(subthreshold)}$］主要为扩散电流，由下式给出[15]：

$$I_{D(subthreshold)} = eD_n \frac{W_{ch}}{L_{ch}}(n_{source} - n_{drain}) \tag{2}$$

其中D_n是电子的扩散系数，W_{ch}（L_{ch}）是沟道宽度（长度），n_{source}（n_{drain}）是源极（漏极）端的电子密度。这里，由于极低温下漏极端的电子密度可以忽略不计，因此式(2)可以近似为：

$$I_{D(subthreshold)} \approx eD_n \frac{W_{ch}}{L_{ch}}[n_{source}(E_{Fs}, T)] \tag{3}$$

在式(3)中，明确显示了n_{source}是表面费米能级（E_{Fs}）和温度的函数。因此，如果假设亚阈值区的扩散系数（或电子迁移率），就可以确定对应于某个漏极电流的表面费米能级。在极低温下，由于电子的分布函数接近于阶跃函数，因此在亚阈值区，表面费米能级位于导带边缘极近处。由此可知，由于E_{Fs}的微小变化，n_{source}会发生显著变化，从而导致I_D也发生显著变化。因此，例如在 13 K 的情况下，无论如何假设迁移率的值（1～10 cm$^2 \cdot$V$^{-1} \cdot$s^{-1}），在 10^{-9} A < I_D < 10^{-8} A 的漏极电流范围内，表面费米能级都在导带边缘极近处（E_C − 0.01 eV < E < E_C）几乎保持恒定[12]。另一方面，表面费米能级离开E_C超过 4 kT（0.004 eV），因此在玻尔兹曼近似的条件下得到的式(1)仍然成立。实际上，通过在极低温下测得的亚阈值斜率，定量地计算了导带边缘极近处的D_{IT}。将D_{IT}绘制为受主浓度的函数，结果如图 4 所示。

国排高科 · 智能出版新时代　　书稿页面：第32页 / 共312页

清样输出时间：14:25:14 七月 29, 2025　　版心：33行×39字　　流程节点：印刷文件准备

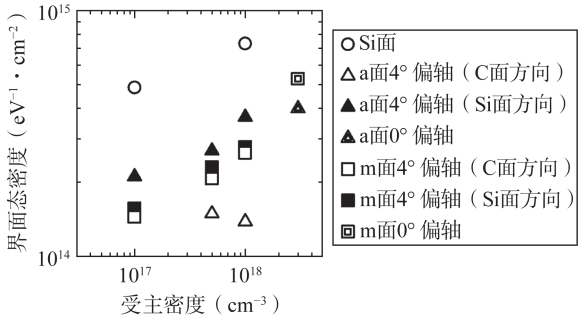


图 4　在极低温下由 SiC MOSFET 的亚阈值系数推导的导带端附近（$E_C - 0.01\ \text{eV} < E < E_C$）的界面态密度的密度依赖性[12]

如图 4 所示，无论晶面（Si、a、m 面）如何，D_{IT}都呈现随着受主密度增加而增加的趋势。这一结果可以通过模型进行定性理解，即随着受主密度的增加，半导体表面电场变强，量子限制效应使得导带下端（二维状态密度下端）向存在更高密度D_{IT}的高能量侧偏移。

为了讨论 MOSFET 的迁移率限制因素，对在室温下的有效迁移率与D_{IT}的相关性进行了评估，结果如图 5 所示。从图中可以看出，尽管界面态密度和迁移率并不一定一一对应，但是无论晶面还是受主密度如何，随着D_{IT}的增加，迁移率呈下降趋势。

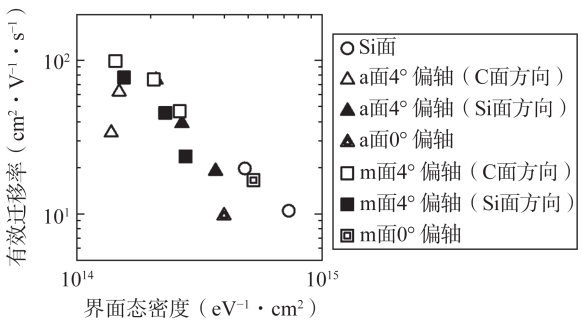


图 5　在导带端附近（$E_C - 0.01\ \text{eV} < E < E_C$）的界面态密度与室温下 SiC MOSFET 的有效迁移率的关系[12]

总之，毫无疑问，导带边缘附近的高密度D_{IT}是 MOSFET 沟道迁移率的限制因素。因此，对 SiC MOSFET 而言，界面态是一个不受器件结构（晶面、受主密度）影响的共性问题。要提高 MOSFET 的性能，确立降低界面态的方法至关重要。下面将介绍有关理解界面态起源和减少界面态方法的相关措施。

国排高科 · 智能出版新时代　　书稿页面：第33页 / 共312页

清样输出时间：14:25:14 七月 29, 2025　　版心：33行×39字　　流程节点：印刷文件准备

三、基于氩气热处理的界面碳缺陷检测和减少

（一）基于高纯度氩气热处理的界面碳缺陷分离和检测

SiC 和 Si 之间明显的区别在于碳原子的存在，因此，碳缺陷一直被广泛怀疑是 SiC/SiO_2 界面态的根源[16-18]。在 SiC 的氧化过程中，大部分碳原子以一氧化碳（CO）或二氧化碳（CO_2）的形式从体系中脱离，但是一部分碳会偏析到界面并形成缺陷。尽管各个机构尝试检测碳缺陷，但它们的报告并不一致。例如，透射电子显微镜（TEM）结合电子能损失光谱（EELS）的研究指出了界面附近存在碳过剩层[19]，但也有报告称过渡层无法被检测到[20]。X 射线光电子能谱（XPS）分析未检测到与碳缺陷相关的信号[21]，而能量离子散射光谱（MEIS）则报告了陡峭的 SiC/SiO_2 界面[22]。主要问题在于，常规的定量化学分析下限约为主要元素含量的 0.3%至 1%，因此难以检测界面缺陷。然而，主要元素 0.3%的缺陷将形成高密度的电子能级，并对器件的电学特性产生重大影响。虽然二次离子质谱（SIMS）法能够精确检测元素，但不适用于主要元素和界面的分析。也就是说，即使在界面残留碳存在的情况下，区分其与 SiC 中的碳原子仍然困难。

在这样的背景下，碳缺陷的检测变得非常困难。为了突破这一状况，笔者等人将目光投向了高纯度氩气（Ar）热处理。如果在氧化后的界面上有碳偏析，那么通过高温 Ar 热处理可以使碳原子扩散到 SiO_2 侧，从而可以检测到这些碳原子（见图 6）。笔者等人实际制备了 SiC/SiO_2 样品，并通过高纯度 Ar 热处理尝试了碳缺陷的分离和检测[23]。

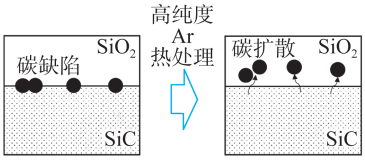


图 6　基于高纯度 Ar 热处理的界面碳缺陷分离及扩散（概念图）

实验中，笔者等人使用在 n 型 SiC（0001）衬底上生长的 n 型 SiC 外延层（N_D：大约 $1 \times 10^{16}\ cm^{-3}$），经过 1300℃高温氧化形成表面氧化膜后，进行高纯度 Ar 热处理。此外，Ar 热处理在与氧化炉不同的电阻加热炉中进行，通过预先使用纯化器精制 Ar 气体，降低了含氧浓度［氧分压（p_{O_2}）< 100 ppt］。这是为了在 Ar 热处理中，避免 Ar 气体中所含的氧去除向 SiO_2 侧扩散的碳原子，以明确检测出微量碳元素。之后，进行碳浓度曲线的 SIMS 分析。此时，SIMS 的一次离子为 O_2^+，照射能量为 8 keV。通过与注入碳离子的 SiO_2 标准试样比较得到的相对灵敏度系数，可以将碳离子的计数转换为浓度。

图 7 显示了经高纯度 Ar 热处理后的样品与未经后处理的样品（刚氧化后）的碳浓度深

清样输出时间：14:25:14 七月 29, 2025　　版心：33行×39字　　流程节点：印刷文件准备

度曲线对比。首先，确认了氧化后不久，氧化膜中的碳浓度接近 SIMS 的检出限（大约 $10^{18}\,cm^{-3}$）。与此相对，经 Ar 热处理的试样在氧化膜中检测到了高浓度的碳原子（$>10^{20}\,cm^{-3}$）。因此，通过 Ar 热处理分离碳缺陷，使其扩散到氧化膜中，成功地进行了明确的碳缺陷检测。

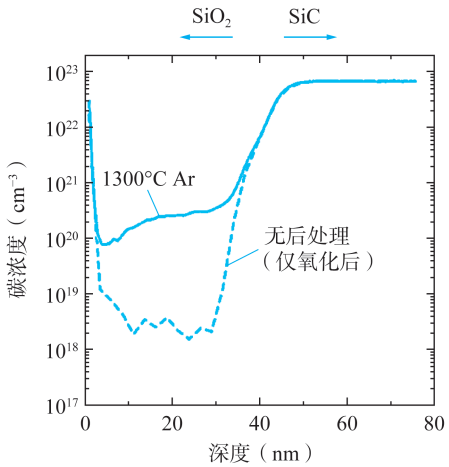


图 7　高纯度 Ar 气氛退火前后的 SiC/SiO_2 结构的碳浓度深度分布的 SIMS 分析结果[22]
（注意，由于分析初期的不稳定性，从 SiO_2 表面到几纳米深度的结果不可靠）

以上实验指出，热氧化形成的 SiC/SiO_2 界面存在高密度的残留碳。因此，下面介绍为减少碳缺陷所采取的措施。

（二）基于低氧分压氩气热处理减少碳缺陷

（一）研究发现，通过高温热处理，SiC/SiO_2 界面的碳缺陷可以被分离，并扩散到 SiO_2 中。然而，如果分解的碳残留在氧化膜中，将导致氧化膜的绝缘性能降低。因此，我们考虑通过在 Ar 气氛中掺入微量氧气的方式，在抑制氧化膜中碳残留的同时，有效地去除界面的碳缺陷。然而，如果在热处理过程中 SiC 继续氧化并生成新的碳缺陷，预计界面缺陷减少效果将减弱。因此，这种方法的关键在于通过将氧气分压设置得足够低，以抑制 SiC 的氧化进程。因此，我们改变氧气分压和热处理温度，研究了界面缺陷减少的效果[24]。

实验使用了 n 型 SiC（0001）衬底上的低浓度 n 型外延层（N_D：大约 $10^{16}\,cm^{-3}$）。在 1300℃的热氧化过程中形成表面氧化膜后，在含微量 O_2 的两种 Ar 气氛（Ar + 0.001% O_2 和 Ar + 0.1% O_2）中进行了低氧分压的热处理。随后，形成了用于评估界面特性的 Al 栅电极，并制备了 MOS 电容器。

首先，通过 SIMS 分析确认了在低氧分压的高纯度氩气热处理后，氧化膜中无残留碳。

清样输出时间：14:25:14 七月 29, 2025　　版心：33行×39字　　流程节点：印刷文件准备

在氧化后、高纯度氩气热处理后，以及低氧分压的氩气热处理后（Ar + 0.001% O_2）SiC/SiO_2结构的碳浓度深度分布如图 8 所示。正如前面（一）中所述，通过高纯度的氩气热处理，碳会扩散到氧化膜一侧并残留在膜中。另一方面，在进行低氧分压的氩气（Ar + 0.001% O_2）热处理的样品中，未观察到碳的残留，得到了与氧化后相当的深度分布。这表明在热处理过程中，扩散到氧化膜一侧的碳原子被微量的氧气除去。

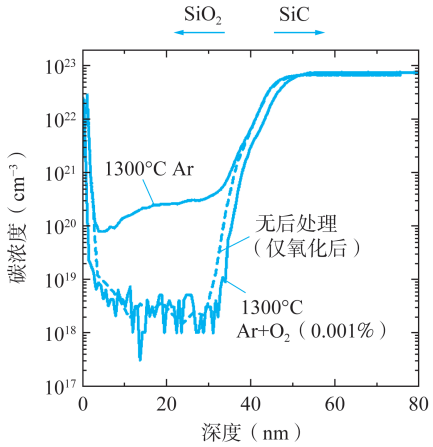


图 8　经过高纯度 Ar 以及低氧分压 Ar 热处理后 SiC/SiO_2 结构的碳浓度深度分布的 SIMS 分析结果
［无后处理（仅氧化后）的样品也作为对照呈现。注意，由于分析初期的不稳定性，
从 SiO_2 表面到几纳米深度的结果不可靠。］

实际上，对氧化膜绝缘性的研究结果显示，经过纯氩气热处理后，即使在非常低的氧化膜电场（$< 0.2\ MVcm^{-1}$）的区域，仍然存在漏电流。与之相反，低氧分压处理能够抑制低电场漏电流，并且实现了与常规 SiC 热氧化膜相当的绝缘性。由此可见，纯氩气热处理导致氧化膜中产生碳原子残留，从而降低了氧化膜的绝缘性；而低氧分压处理则能够去除碳原子，实现了良好的绝缘性。

由于低氧分压热处理后，可以确认氧化膜具有良好的绝缘性，因此接下来研究了热处理对界面态的降低效果。实际上，通过 MOS 电容的*C-V*特性，使用 High-Low 法评估了D_{IT}分布的结果如图 9 所示。从图中可以看出，低氧分压热处理的效果受氧分压和温度的影响。首先，在 0.001%氧分压的情况下，随着热处理温度的升高，D_{IT}减小，经过 1500℃的热处理后，D_{IT}值约为 $2 \times 10^{12}\ cm^{-2} \cdot eV^{-1}$（$E_C - E_T = 0.2\ eV$）。相比之下，当氧分压为 0.1%时，在 1300℃的热处理中，D_{IT}减小到约 $5 \times 10^{12}\ cm^{-2} \cdot eV^{-1}$（$E_C - E_T = 0.2\ eV$），但在 1500℃的热处理中增加到约 $6 \times 10^{12}\ cm^{-2} \cdot eV^{-1}$（$E_C - E_T = 0.2\ eV$）。这一结果表明，低氧分压处理对抑制 SiC 的热氧化以及减少碳缺陷的发生是非常重要的。实际上，在 0.001%氧分压的热处理中，氧化膜厚度几乎没有变化（$< 1\ nm$），而在 0.1%氧分压下，经过 1500℃的热处理后，氧化膜厚度增加了约 6 nm。

国排高科 · 智能出版新时代　　书稿页面：第36页 / 共312页

清样输出时间：14:25:14 七月 29, 2025　　版心：33行×39字　　流程节点：印刷文件准备

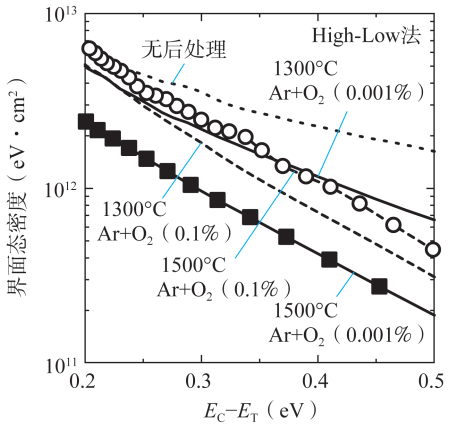


图 9　通过 High-Low 法评估低氧分压 Ar 热处理前后的 SiC/SiO_2 界面的界面态密度结果

总的来说，低氧分压氧化对于去除碳缺陷是有效的，实际上证明了在高温热处理中通过降低氧分压可以减少界面态。但是，由于本方法需要在含有微氧的气氛中进行高温热处理，因此在某种程度上随着 SiC 氧化的进行，很难避免产生新的碳缺陷。因此，预测通过该方法处理后的界面态仍然停留在 $10^{12}\ cm^{-2} \cdot eV^{-1}$ 以上（$E_C - E_T = 0.2\ eV$）。关于该问题的解决方法，将在第（四）项中进行论述。

四、排除氧化工艺形成高质量 SiC MOS 界面

（一）基于 Si 膜沉积及低温氧化的排除氧化工艺

SiC 的优点之一是可以通过热氧化形成 SiO_2，因此以往的界面形成工艺开发大多是以 SiC 热氧化膜为前提的。但是，第三项所示的实验结果表明，SiC 的热氧化不可避免地生成碳缺陷。在含有微量氧的 Ar 气氛高温热处理中，预想 SiC 在热处理过程中的微幅热氧化也会形成碳缺陷，实际上界面态也停留在 $10^{12}\ cm^{-2} \cdot eV^{-1}$ 以上（$E_C - E_T = 0.2\ eV$）。因此，作者等人致力于开发不氧化 SiC 而形成 SiC/SiO_2 界面的方法，实际设计了如下工艺：①SiC 表面的 H_2 刻蚀；②在 SiC 上沉积 Si 膜；③通过 Si 膜的低温氧化形成 SiO_2；④通过 N_2 热处理向界面导入氮（如图 10 所示）。本方法的要点是，在③的过程中，不氧化任何 SiC，只通过 Si 的低温氧化形成 SiO_2。另外，通过④的 N_2 热处理，在抑制 SiC 氧化进行的基础上，通过向界面导入氮来终止界面缺陷。通过本工艺开展实验，形成了 SiC/SiO_2 界面，并对界面特性进行了评估[25]。

国排高科 · 智能出版新时代　　书稿页面：第37页 / 共312页

清样输出时间：14:25:14 七月 29, 2025　　版心：33行×39字　　流程节点：印刷文件准备

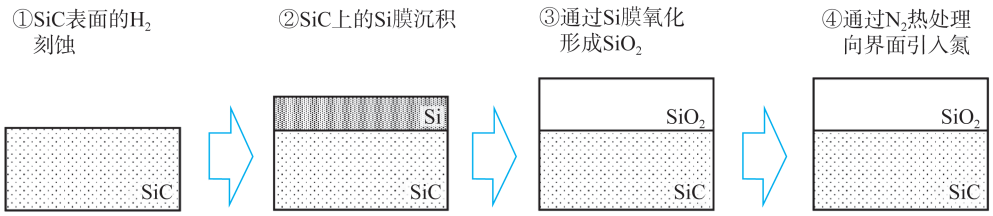


图 10　基于 Si 膜沉积和低温氧化的排除 SiC 氧化过程的示意图

实验使用了 n 型 SiC（0001）衬底上的低浓度 n 型外延层（N_D：10^{15}～10^{16} cm^{-3}）。通过 1300℃的 H_2 刻蚀清洁 SiC 表面后，将硅烷（SiH_4）和 H_2 导入炉内，在 630℃低压气氛（173 Pa）下在 SiC 上沉积 Si 膜。之后，将 Si 膜在 750℃或 950℃下氧化，转化为 SiO_2 膜，在 1350～1600℃下进行 N_2 热处理。作为比较，我们还准备了不进行 H_2 刻蚀、通过通常的 SiC 热氧化（1300℃）制作的 SiC/SiO_2 样品。以界面特性的评估为目的，制作了具有 Al 栅电极的 MOS 电容器。

图 11 表示的是根据提出的方法得到的典型 MOS 电容器的*C-V*特性。图中还将通常的 SiC 热氧化样品以及理论电容作为比较显示。首先，在通常的 SiC 热氧化样品中，发现高频和准静态*C-V*之间有很大的偏离，还观测到*C-V*特性的拉伸。所有这些都源于 SiC/SiO_2 界面的高密度界面态。相比之下，基于 Si 沉积的工艺中，高频和准静态*C-V*高精度地一致。此外，*C-V*特性的拉伸也得到了抑制，并且除了特性的负偏移方向（由正固定电荷引起）之外，其特性与理论特性相近。

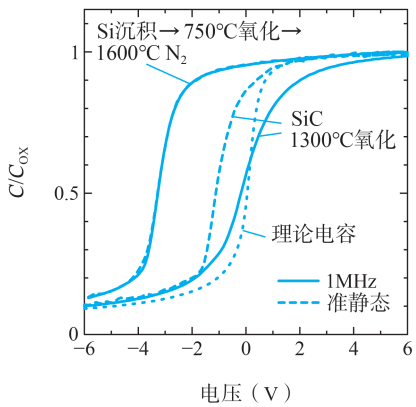


图 11　使用图 10 提出的方法制备的 SiC MOS 电容器的电容-电压特性［除了通常的 SiC 热氧化制备的样品特性之外，还展示了没有界面态情况下的理论特性（假定深度耗尽）作为比较。[15,26]］

对制备的样品使用 High-Low 法评估了D_{IT}分布的结果如图 12 所示。从图中可以看出，在沉积了 Si 并通过低温氧化形成 SiO_2 的样品中，经过 1400℃以上的热处理，D_{IT}大量减小

国排高科 · 智能出版新时代　　书稿页面：第38页 / 共312页

清样输出时间：14:25:14 七月 29, 2025　　版心：33行×39字　　流程节点：印刷文件准备

[低于 $3\times10^{10}\ \mathrm{cm^{-2}\cdot eV^{-1}}$（$E_C-E_T=0.2\ \mathrm{eV}$）]。这比前文提到的低氧分压 Ar 热处理的值小两个数量级。此外，作为参考，与普通 SiC 热氧化膜经过 NO 氮化处理的样品［约 $3\times10^{11}\ \mathrm{cm^{-2}\cdot eV^{-1}}$（$E_C-E_T=0.2\ \mathrm{eV}$）］[25]相比，这个值小一个数量级。当 Si 的热氧化温度从 750℃升高到 950℃时，即使进行 N_2 退火，D_{IT}值仍然很高［约 $4\times10^{11}\ \mathrm{cm^{-2}\cdot eV^{-1}}$（$E_C-E_T=0.2\ \mathrm{eV}$）］。在 950℃的氧化环境中，预计不仅是 Si，SiC 的氧化也将微弱进行，从而导致新的碳缺陷。由此可见，抑制 SiC 的氧化至极限，防止碳缺陷的发生，对于形成高质量的 SiC/SiO_2 界面是至关重要的。

此外，研究人员还调查了具有良好界面特性的 1600℃下 N_2 氮化样品（图 12）的氧化膜绝缘性。MOS 电容器电流密度的氧化膜电场依赖性如图 13 所示。在足够高的电场（大约 $5\ \mathrm{MV\cdot cm^{-1}}$）下观测到 Fowler-Nordheim 隧穿电流[1,27]的上升，已确认 $9.8\ \mathrm{MV\cdot cm^{-1}}$ 足够发生氧化膜的硬击穿（标准工艺热氧化 + NO 氮化处理为 $10.9\ \mathrm{MV\cdot cm^{-1}}$）[25]。

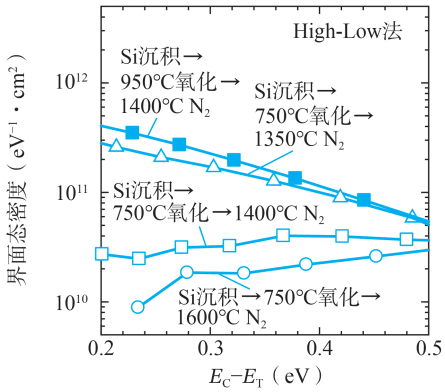


图 12　利用 High-Low 法对 Si 膜沉积和低温氧化形成的 SiC/SiO_2 界面进行界面态密度评估的结果[25]

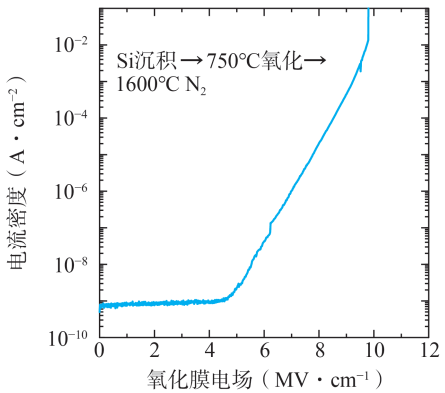


图 13　使用图 10 提出的方法制作的 SiC MOS 电容器的电流密度-氧化膜电场特性[25]

国排高科 · 智能出版新时代　　书稿页面：第39页 / 共312页

清样输出时间：14:25:15 七月 29, 2025　　版心：33行×39字　　流程节点：印刷文件准备

这样，笔者等人利用排除氧化过程的独特方法，开发了一种在保证 SiO_2 膜绝缘性的基础上，大幅降低 SiC/SiO_2 界面态密度（大约 $10^{10}\ cm^{-2}\cdot eV^{-1}$）的方法。在（二）中，将介绍 Si 膜低温氧化的另一种替代方案，即 SiO_2 膜直接沉积的方法。

（二）SiO_2 的直接沉积方法和 MOSFET 的电学特性评估结果

为了代替（一）中的 Si 沉积 + 低温氧化工艺，笔者等人验证了化学气相沉积（CVD）法直接进行 SiO_2 沉积是否能够得到同等水平的高质量界面。该工艺的步骤如下：①对 SiC 表面进行 H_2 蚀刻；②在 SiC 上沉积 SiO_2；③通过 N_2 或 NO 热处理引入氮到界面（如图 14 所示）。如上所述，本实验还准备了在步骤③中以 NO 代替 N_2 进行热处理的样品。此外，除了使用 MOS 电容进行界面特性评估外，还进行了 MOSFET 沟道迁移率的评估[28,29]。

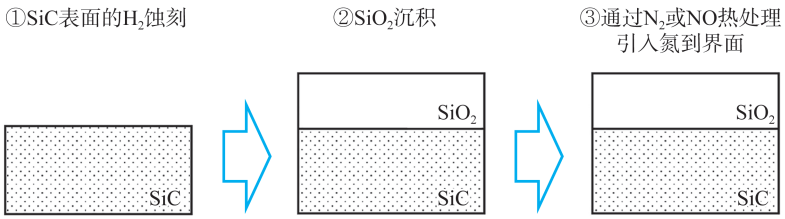


图 14　通过 SiO_2 膜的直接沉积来排除 SiC 氧化过程的示意图

MOS 电容器的制作使用 n 型 SiC（0001）衬底上的低浓度 n 型外延层（N_D：$1\times10^{15}\ cm^{-3}$），MOSFET 的制作使用 p 型 SiC（0001）衬底上的 p 型外延层（N_A：$1\times10^{15}\ cm^{-3}$）。MOSFET 的源-漏区是通过 P^+ 离子注入形成的（[P]= $5\times10^{19}\ cm^{-3}$）。作为栅氧化膜形成条件，在 1350℃下对 SiC 表面进行氢刻蚀后，在 400℃下通过等离子体 CVD 形成 SiO_2 膜。然后进行 1400℃下的 N_2 热处理或 1250℃下的 NO 热处理（10% N_2 稀释），形成 Al 电极，制备 MOS 电容器和 MOSFET。

结果表明，通过直接沉积 SiO_2 的方法，N_2 氮化得到了与 Si 沉积 + 低温氧化相当的低 D_{IT} 值（$4\times10^{10}\ cm^{-2}\cdot eV^{-1}$ 左右（$E_C-E_T=0.2\ eV$））[28]。另外，本研究还对氢刻蚀工程的重要性进行了探讨。具体来说，在氢刻蚀后刻意对 SiC 进行牺牲氧化，再进行 SiO_2 沉积以及 N_2 氮化处理。在这种情况下，我们发现 D_{IT} 停留在较高的值（$1\times10^{12}\ cm^{-2}\cdot eV^{-1}$ 左右（$E_C-E_T=0.2\ eV$））[28]。这表明通过氢刻蚀工艺预先除去 SiC 表面附近的碳缺陷的重要性。另外，值得一提的是，在本工艺中，NO 热处理代替 N_2 热处理也可以得到同等水平的 D_{IT} 值（$6\times10^{10}\ cm^{-2}\cdot eV^{-1}$（$E_C-E_T=0.2\ eV$）[29]。由于 NO 处理中 SiO_2 膜的厚度增加很小，约为 0.5 nm 左右，因此可以预测在此过程中能够抑制新的碳缺陷的发生。

国排高科 · 智能出版新时代　　书稿页面：第40页 / 共312页

清样输出时间：14:25:15 七月 29, 2025　　版心：33行×39字　　流程节点：印刷文件准备

图 15 显示了使用本工艺制作的 MOSFET 的场效应迁移率对栅极电压的依赖性。提出的方法中，经过 N_2 热处理获得了 85 $cm^2 \cdot V^{-1} \cdot s^{-1}$，经过 NO 热处理获得了 80 $cm^2 \cdot V^{-1} \cdot s^{-1}$ 的较高的场效应迁移率峰值。这些数值与通常经过 N_2 或 NO 热处理的热氧化膜相比，可以看出高出大约一倍。此外，经过 NO 热处理的样品实现了正常工作（阈值电压：0.92 V）。

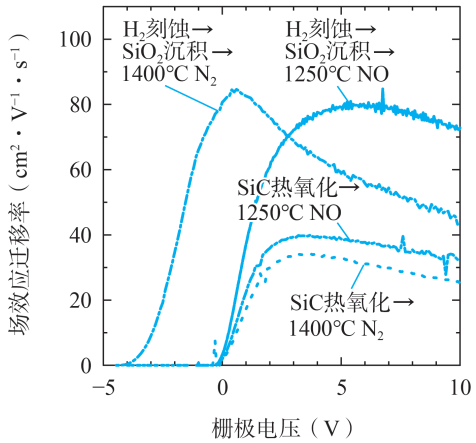


图 15　使用直接沉积 SiO_2 膜的方法（图 14）制备的 SiC MOSFET 的场效应迁移率对栅极电压依赖性（作为比较，还展示了经过常规 SiC 热氧化膜处理并施加 NO 或 N_2 氮化处理的器件的特性）

如上所述，通过排除氧化过程的方法，不仅可以大幅降低导带附近的界面态密度（在约 10^{10} $cm^{-2} \cdot eV^{-1}$ 量级），而且相比传统的标准方法（SiC 热氧化→NO 氮化处理），还能获得大约两倍高的迁移率（80～85 $cm^2 \cdot V^{-1} \cdot s^{-1}$）。

五、总结

我们致力于提高 SiC MOSFET 的性能，通过研究 SiC MOSFET 的迁移率限制因素，着手解明 SiC/SiO_2 界面缺陷的起源，并进行了降低界面缺陷的研究。首先，通过评估 SiC MOSFET 的低温亚阈值特性，准确定量了 SiC 导带边缘附近的界面态密度。结果表明，导带边缘附近的界面态是一个与样品结构（晶面和受主密度）无关的共同问题。界面态的起源首先推测可能来自碳缺陷，但其检测非常困难。为了解决这个问题，我们通过高纯度 Ar 热处理分离了界面碳缺陷，并使其扩散到 SiO_2 侧，从而明确地检测出碳缺陷。通过含微量氧气的 Ar 热处理进一步除去界面碳缺陷，将界面态密度降低到约 2×10^{12} $cm^{-2} \cdot eV^{-1}$（$E_C - E_T = 0.2$ eV）的水平。然而，由于该方法需要在含氧气氛下进行高温热处理，存在 SiC 的进一步氧化和产生新碳缺陷的担忧。因此，我们提出了两种排除氧化过程的绝缘膜形成方法

国排高科 · 智能出版新时代　　书稿页面：第41页 / 共312页

清样输出时间：14:25:15 七月 29, 2025　　版心：33行×39字　　流程节点：印刷文件准备

（通过低温氧化 Si 膜和直接沉积 SiO_2 膜），将界面态密度降低到 $10^{10}\ cm^{-2} \cdot eV^{-1}$ 量级。实际上，排除氧化过程的方法相较于传统的标准方法（SiC 热氧化→NO 氮化处理），实现了大约两倍的 MOSFET 沟道迁移率。

参考文献

[1] T. Kimoto: Fundamentals of Silicon Carbide Technology, John Wiley & Sons (2014).
[2] B. J. Baliga: *IEEE Electron Device Lett*., 10, 455(1989).
[3] T. Kimoto and H. Watanabe: *Appl. Phys. Express*, 13, 120101(2020).
[4] N. S. Saks et al.,: *Appl. Phys. Lett*., 76, 2250(2000).
[5] T. Kobayashi et al.,: *Appl. Phys. Lett*., 108, 152108(2016).
[6] H. Yoshioka et al.,: *AIP Adv*., 5, 017109(2015).
[7] Y. Nishi: *Jpn. J. Appl. Phys*., 10, 52(1971).
[8] E. Cartier et al.,: *Appl. Phys. Lett*. 63, 1510(1993).
[9] H. Yano et al.,: *IEEE Electron Device Lett*., 20, 611(1999).
[10] J. Senzaki et al.,: *IEEE Electron Device Lett*., 23, 13(2002).
[11] S. Nakazawa et al.,: *IEEE Trans. Electron Devices*, 62, 309(2015).
[12] T. Kobayashi et al.,: *J. Appl. Phys*., 121, 145703(2017).
[13] G.Y. Chung et al.,: *Appl. Phys. Lett*., 76, 1713(2000).
[14] P. Jamet et al.,: *J. Appl. Phys*., 90, 5058(2001).
[15] E. Nicollian: MOS Physics and Technology, John Wiley & Sons (1982).
[16] V. Afanas′ev et al.,: *J. Appl. Phys*., 79, 3108(1996).
[17] R. H. Kikuchi and K. Kita: *Appl. Phys. Lett*., 105, 032106(2014).
[18] T. Hosoi et al.,: *Appl. Phys. Lett*., 109, 182114(2016).
[19] T. Zheleva et al.,: *Appl. Phys. Lett*., 93, 022108(2008).
[20] T. Hatakeyama et al.,: *Mater. Sci. Forum*, 679-680, 330(2011).
[21] H. Watanabe et al.,: *Appl. Phys. Lett*., 99, 021907(2011).
[22] X. Zhu et al.,: *Appl. Phys. Lett*., 97, 071908(2010).
[23] T. Kobayashi and T. Kimoto: *Appl. Phys. Lett*., 111, 062101(2017).
[24] T. Kobayashi et al.,: *Appl. Phys. Express*, 12, 031001(2019).
[25] T. Kobayashi et al.,: *Appl. Phys. Express*, 13, 091003(2020).
[26] H. Yoshioka et al.,: *J. Appl. Phys*., 111, 014502(2012).

清样输出时间：14:25:15 七月 29, 2025　　版心：33行×39字　　流程节点：印刷文件准备

[27] S. M. Sze: Physics of Semiconductor Devices, 3rd Ed., John Wiley & Sons(2007).
[28] K. Tachiki et al.,: *Appl. Phys. Express*, 13, 121002(2020).
[29] K. Tachiki et al.,: *Appl. Phys. Express*, 14, 031001(2021).

第三节　SiC 电学特性的空间分辨测量

一、引言

SiC 的电学特性中，电子和空穴这两种载流子复合的寿命（也被称为载流子寿命、少子寿命），是在双极型器件中直接影响导通损耗和开关损耗的重要参数。另一方面，即使是单极型器件，在 MOSFET 这种内含 pn 结二极管的结构中，也会成为影响开关损耗的参数。而且，SiC 中存在通过载流子复合诱发的层错扩张现象，为了避免器件的劣化，必须控制载流子的复合寿命。为了实现这种载流子复合寿命控制，首先必须能够进行准确的载流子寿命测量，并且考虑到近年来日趋复杂的 SiC 器件结构，测量对空间分辨率也有要求。因此，本节将介绍笔者等人一直致力于开发具有高空间分辨率的载流子复合寿命测量装置，以及由此得到的结果。

二、载流子复合寿命测量技术

SiC 的载流子复合寿命可以通过多种方法进行测量，特别是微波光电导衰减（μ-PCD）和时间分辨光致发光（TR-PL）的评估方法被广泛使用[1-10]。另一方面，还存在一种利用光学探针进行的时间分辨自由载流子吸收（TR-FCA）的方法[9-13]。TR-FCA 利用了受激自由载流子对带隙以下能量的光吸收的特性。在测量区域照射连续波（CW）的探测激光，同时通过脉冲激光激发载流子，透射光强度会短暂下降。根据透射光强度的恢复时间，可以估算载流子寿命。TR-FCA 的信号强度取决于探测光的波长，但通常比 μ-PCD 和 TR-PL 弱。这是因为其原理是观察高强度透射光中的微弱光强度变化，光学信号的放大较为困难。此外，如果测量样品的双面不是光学镜面，则由于光散射而导致信号强度变弱（幸运的是，SiC 的衬底标准是要求双面镜面的）。因此，存在信噪比差和由于使用光学探针而使位置对准变得麻烦的缺点，相对于其他方法而言使用不便。但是，由于使用光学探针，可以通过使用物镜来限制测量区域，空间分辨率高于其他方法。例如，μ-PCD 的微波探测无法避免空间扩散，即使缩小激发激光的尺寸，但考虑到信噪比，空间分辨率也受到限制，大约是数百毫米。TR-PL 中，通过激光激发放大微弱发光，可以确保一定程度的空间分辨率。但是，由于发光来自载

国排高科 · 智能出版新时代　　书稿页面：第43页 / 共312页

清样输出时间：14:25:15 七月 29, 2025　　版心：33行×39字　　流程节点：印刷文件准备

流子的整个扩散范围，因此空间分辨率至少在载流子的扩散长度量级，不如 TR-FCA。因此，基于 TR-FCA 原理，我们开发了实现高空间分辨率载流子复合寿命测量的显微 TR-FCA 装置。

三、高空间分辨率测量（破坏性测量）

图 1 显示了我们开发的显微 TR-FCA 装置的示意图[14]。该装置使用具有高数值孔径（NA）的物镜，以获得高空间分辨率。激发光源采用波长为 355 nm、脉冲宽度为 1 ns 的脉冲激光，其能量高于 SiC 的带隙，而探测光源则采用波长为 405 nm 或 637 nm 的连续波激光。两种波长的探测光源中，405 nm 的短波长适用于高空间分辨率测量，而 637 nm 则适用于基于高载流子吸收系数的高信噪比测量。在这里展示的结果主要侧重于高分辨率测量，因此使用了波长为 405 nm 的探测光源。通过 0.65 的数值孔径（NA）的物镜将这些光聚焦到 SiC 样品表面，实现了约 1 mm 的光斑直径。然而，在激发光的光路中，通过插入光阑和凸透镜，并通过改变光阑口径来有意识地将焦点从样品表面移开，通过扩大激发区域抑制了由于载流子浓度梯度引起的扩散。然后通过样品背面的光电二极管检测由激发载流子引起的对探测光吸收率的变化，从而评估载流子寿命。图 2 显示了显微 TR-FCA 装置的俯视照片。在实际的光学系统中，相较于图 1 的示意图，显微 TR-FCA 安装了更多光学部件，用于调整激光的位置和强度，以及去除其他波长成分。

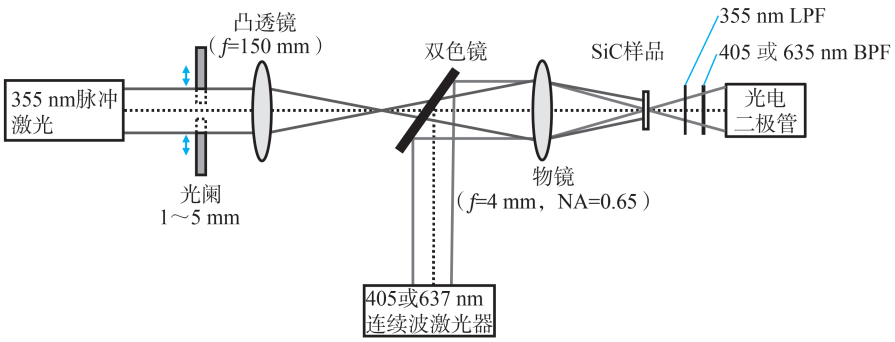


图 1　显微 TR-FCA 装置的示意图

国排高科 · 智能出版新时代　　书稿页面：第44页 / 共312页

清样输出时间：14:25:15 七月 29, 2025　　版心：33行×39字　　流程节点：印刷文件准备

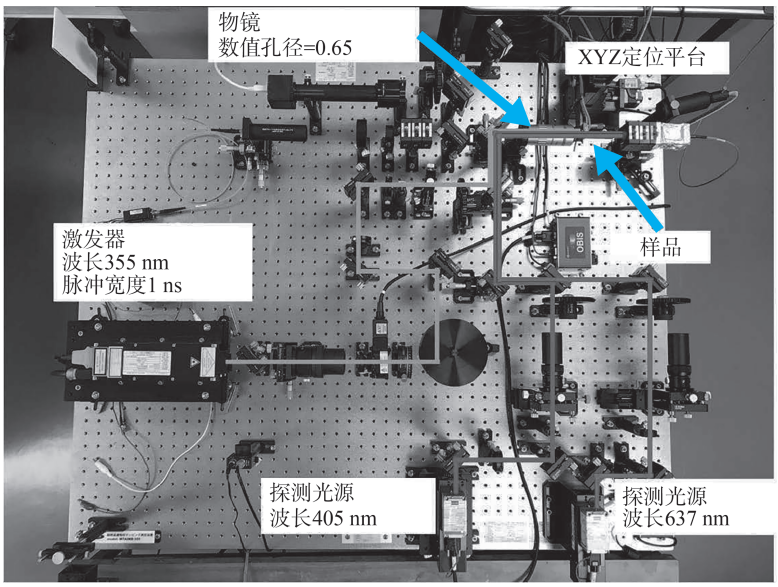
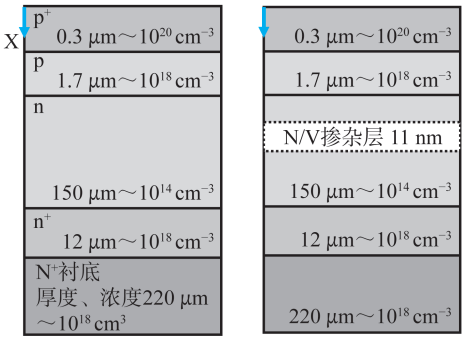


图 2　显微 TR-FCA 装置的俯视照片

作为用于验证显微 TR-FCA 装置空间分辨率的样品，笔者等人采用了图 3 中所示的两种 PiN 二极管结构。其中一个样品是简单的 PiN 二极管结构，而另一个样品内部有特意掺杂钒的层，其厚度为 11 nm，形成具有短载流子寿命的区域。这个短载流子寿命层具有降低 PiN 二极管工作时开关损耗的效果，但在经过二极管制造流程之后，其是否仍然具有短载流子寿命尚未得到确认。

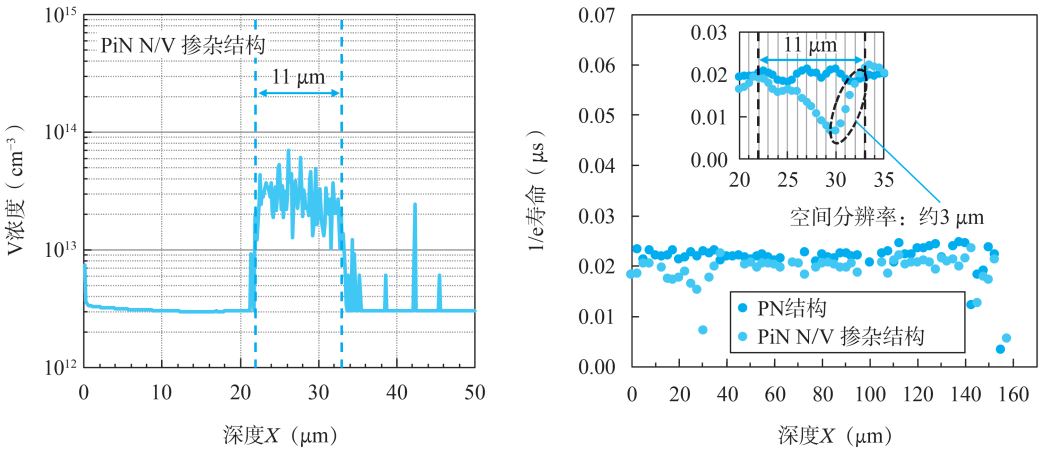


a）PiN 结构　　b）PiN N/V 掺杂结构

图 3　用于验证空间分辨率的具有 PiN 二极管结构的样品

清样输出时间：14:25:15 七月 29, 2025　　版心：33行×39字　　流程节点：印刷文件准备

图 4a 通过二次离子质谱法观测了图 3b 样品内部钒的量。结果显示，设计为 11 mm 宽的钒掺杂层得到了确认。图 4b 是由我们开发的装置扫描测量图 3a 和图 3b 样品断面的结果。图中的纵轴是 TR-FCA 信号达到峰值并降至 1/e大小所需的时间，即 1/e寿命，对应于载流子寿命。在没有掺入钒的图 3a 样品中，显示了载流于寿命的均匀分布，而在放入钒的图 3b 样品中，显示了在含有钒的层中较小的 1/e寿命值。因此，我们确认了即使在制造 PiN 二极管结构后，钒掺杂层仍然具有短载流子寿命。此外，从钒掺杂层载流子寿命减小的陡峭程度中，我们还确认了显微 TR-FCA 装置的空间分辨率约为 3 μm。值得注意的是，由于提高了空间分辨率，载流子寿命的绝对值比通常情况下要短，这是由于载流子的扩散导致的。



a）　　b）

图 4　a）掺钒样品的钒含量深度分布
b）掺钒和无钒样品的载流子寿命深度分布

作为显微 TR-FCA 装置测量的应用示例，我们展示了 SiC 超结结构（SJ）中载流子寿命分布的测量结果。图 5a 显示了使用的非 SJ 结构（Non-SJ）和图 5b 中的全 SJ 结构（Full-SJ）的 MOSFET 样品示意图。SJ 结构是通过反复进行 n 型层的外延生长和 Al 离子注入而形成的，可以预测离子注入会在器件内部形成损伤。针对这些 MOSFET 的断面，测量了图中所示的x和y方向的载流子寿命分布。使用的探测光源为 637 nm。x方向的分布如图 5c 所示，y方向的分布如图 6 所示。与 Non-SJ 相比，Full-SJ 的整体载流子寿命较短，这表明在制造 SJ 结构时的离子注入过程缩短了载流子寿命。

国排高科 · 智能出版新时代　　书稿页面：第46页 / 共312页

清样输出时间：14:25:15 七月 29, 2025　　版心：33行×39字　　流程节点：印刷文件准备

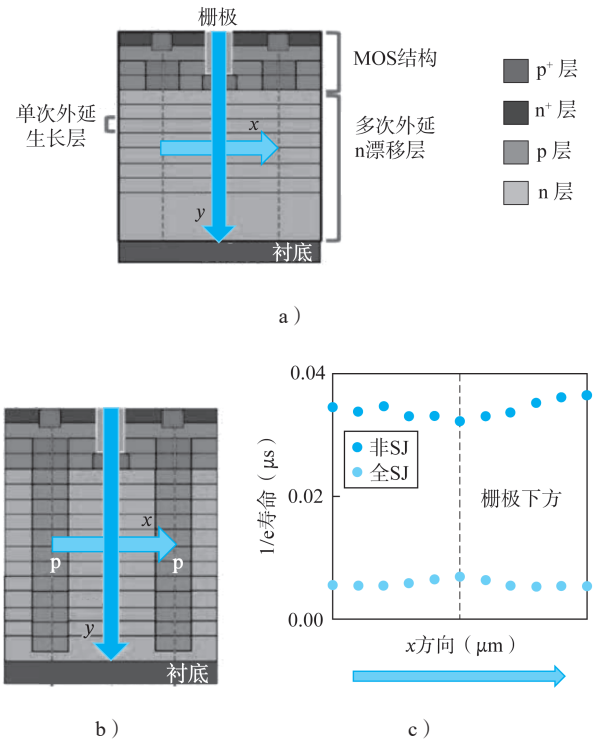


图 5　a）Non-SJ 和 b）Full-SJ 结构 MOSFET 的示意图和 c）*x*方向的载流子寿命分布

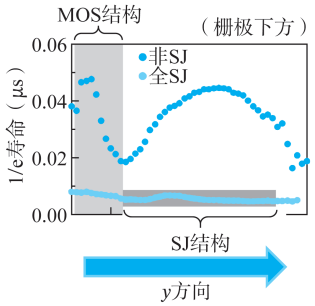


图 6　非 SJ 和全 SJ 在*y*方向上的载流子寿命分布

正如上述结果所示，利用显微 TR-TCA 装置进行的高空间分辨率测量，能够揭示器件内的载流子寿命分布。

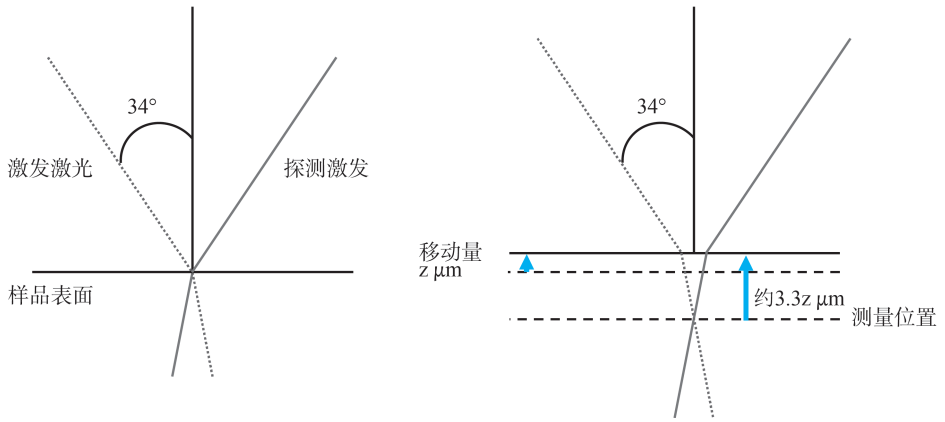
四、无损深度分析测量

上述的显微 TR-FCA 装置的测量是使用样品断面进行的，这是一种破坏性测量，用于

清样输出时间：14:25:15 七月 29, 2025　　版心：33行×39字　　流程节点：印刷文件准备

观察器件内部。然而，在晶圆和器件制造现场，对非破坏性测量（无损测量）方法的需求仍然很大。无损测量可以在制造线的检验过程中引入，并且通过在同一样本上进行多种无损测量，可以直接确认测量结果之间的关系。因此，我们利用显微 TR-FCA 装置，通过调整激发光和探测光相对于物镜的入射位置，改变样本的入射角度。在这种情况下，将激发光和探测光设置在水平平面上相对入射，使它们交叉，就可获得仅在交叉位置的载流子寿命信息（交叉式测量）。在这种状态下，通过将样本位置沿着物镜方向移动，可以将交叉位置设置在样本内部，从而实现在不破坏样本的情况下对样本内部进行测量。

图 7 是交叉式测量的概念图[15,16]。两束光的角度差应尽可能大，以便使样本深度方向的空间分辨率更高。但在笔者等人的物镜中，相对于样品表面的入射最大角度为 34°。然而，由于 SiC 的高折射率，即使在 34°的角度下入射，SiC 内的入射角度也会变小。其结果是，相对于样品移动量，基于光线交叉区域在深度方向上的扩展，测量位置是移动量 3.3 倍深度位置。因此，空间分辨率比破坏性测量更差。



a）照射样品表面的图　　b）移动样品，测量内部时的图

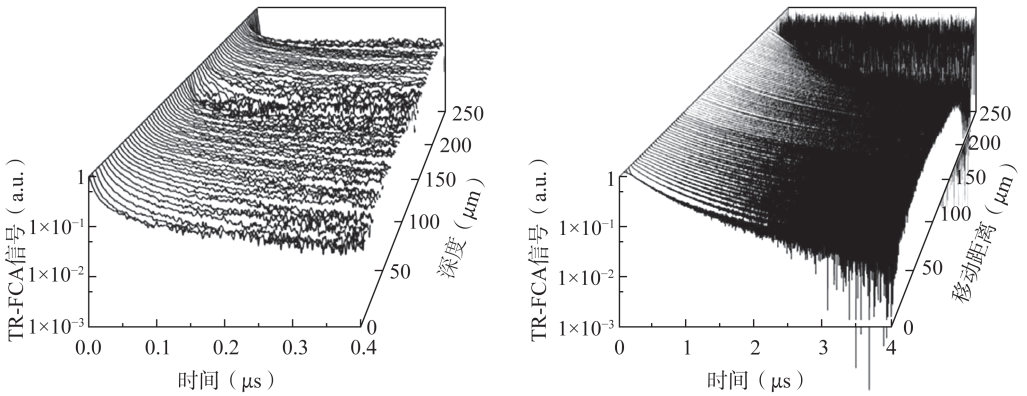
图 7　交叉式测量的概念图（用两束激光斜向样品照射，通过移动样品将测量的位置向内部移动）

图 8a 显示了对在 SiC 衬底上生长的具有 250 μm n 型外延膜的样品进行的交叉式测量图 8b 显示了断面高空间分辨率测量的 TR-FCA 信号分布。横轴表示时间，在交叉式测量和断面测量中，信号随时间减弱。纵轴表示深度，观察到在接近 250 μm 处，无论是哪种测量方式，TR-FCA 信号都在该位置快速衰减。然而，由于交叉式测量仅捕捉到光的交叉区域的信号，因此其信噪比相比于断面测量要差。从这些 TR-FCA 信号中提取的 1/e寿命随深度的分布如图 9 所示。1/e寿命的绝对值在交叉式测量和断面测量中有很大差异。这是因为在交叉式测量中，由于激发载流子扩散到测量区域之外，导致来自激发载流子的信号减弱。在交叉式测量和断面测量中都可以确认在衬底附近 1/e寿命减小。此外，在两种测量结果中，可

国排高科 · 智能出版新时代　　书稿页面：第48页 / 共312页

清样输出时间：14:25:15 七月 29, 2025　　版心：33行×39字　　流程节点：印刷文件准备

以看到在深度约 130 μm 处，1/e寿命减小。这可能是由于在进行两次外延生长形成 250 μm 厚度时，第一次生长后表面或第二次生长初期形成的缺陷导致的。总之，通过交叉式测量观察到的载流子寿命分布很好地再现了断面测量的结果，证明了非破坏性测量中可以测量载流子寿命分布。考虑到外延膜和衬底上载流子寿命的变化，交叉式测量的空间分辨率大约为 10 μm。



a）交叉式测量　　b）断面测量

图 8　通过 a）交叉式测量和 b）断面测量对具有 250 μm 厚外延膜的样品的 TR-FCA 信号随深度的分布（通过移动距离表示样品的深度位置）

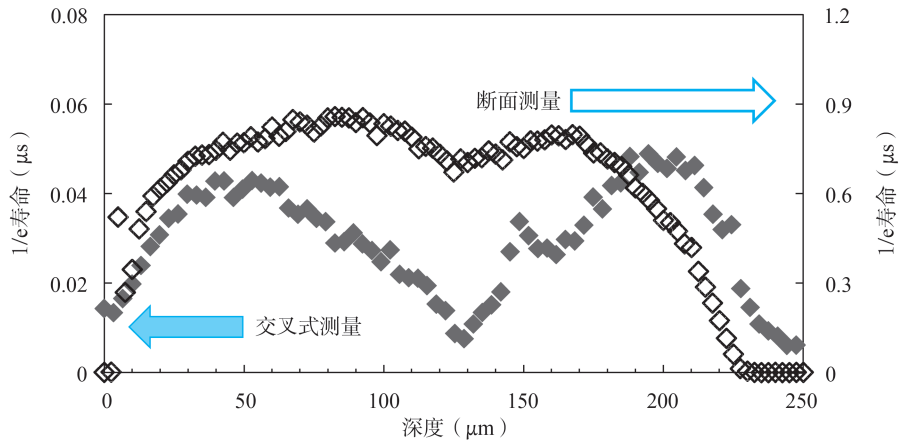


图 9　从图 8 的 TR-FCA 信号得到的 1/e寿命随深度的分布

另一方面，作为一种非破坏性深度方向载流子寿命测量技术，其他研究小组提出了基于多光子激发的 TR-PL 技术[17]。然而，正如前文所述，在 TR-PL 中，由于包含来自载流子扩散区域的信号，空间分辨率变差。多光子激发 TR-PL 的优点是通过数值分析可以推断载

国排高科 · 智能出版新时代　　书稿页面：第49页 / 共312页

清样输出时间：14:25:15 七月 29, 2025　　版心：33行×39字　　流程节点：印刷文件准备

流子寿命的绝对值，但从空间分辨率的观点来看，笔者认为交叉式显微 TR-FCA 测量方法具有优越性。

五、表面复合速度

在考虑载流子寿命的空间分布时，不能忽视表面的影响。这种表面的影响历来通过表面复合速度这个参数进行定量化。表面复合速度可以通过使用多个波长的激发光或测量不同厚度的样品来进行数值计算和分析[3,5,18]。

图 10 显示了我们获得的具有(0001)面的 n 型外延层的表面复合速度以及体材料寿命的温度依赖性。在这里，我们使用了 266 nm 和 355 nm 的激发波长进行 μ-PCD 法的测量。样品经过减薄衬底，通过化学机械抛光（CMP）表面处理，使用了三种不同厚度的自支撑外延层。通过对实验得到的 1/e寿命与膜厚的关系进行数值拟合，获得了表面复合速度和体材料寿命。Si 面的表面复合速度在 150～800 cm/s 之间，而体材料载流子寿命为 5～8 ms。但是，由于外延生长条件的不同，体材料寿命会有所不同，因此这些值并不是通用的。然而，关于表面复合速度，CMP 是一种常见的表面处理方法，而且表面处理对表面复合速度的影响并不那么大。例如，在用反应离子刻蚀对表面进行刻蚀后，虽然表面复合速度增大，但已确认所有代表性晶面的值均在 3000 cm/s 以下。因此，我们认为，图 10 所示的表面复合速度值完全可以适用于载流子寿命分布的研究。

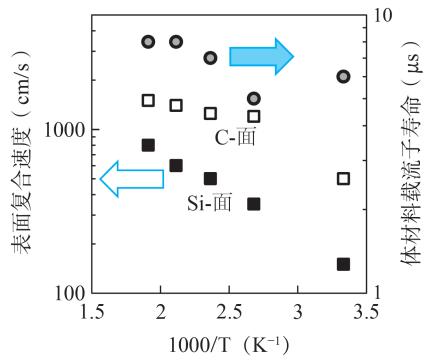


图 10　从(0001)面 n 型外延层得到的表面复合速度和体材料载流子寿命

六、总结

本节以载流子寿命的空间分辨测量为主题，介绍了高空间分辨率和无损测量技术，并对表面复合速度进行了阐述。今后随着 SiC 器件的普及以及各种结构的提出，载流子

国排高科 · 智能出版新时代　　书稿页面：第50页 / 共312页

清样输出时间：14:25:15 七月 29, 2025　　版心：33行×39字　　流程节点：印刷文件准备

寿命分布的控制将变得越来越重要。希望本节介绍的技术或数值能够有助于 SiC 器件的普及。

参考文献

[1] T. Miyazawa and H. Tsuchida: *J. Appl. Phys*., 113, 083714(2013).
[2] M. Kato et al.,: *Jpn. J. Appl. Phys*., 46, 5057(2007).
[3] M. Kato et al.,: *Jpn. J. Appl. Phys*., 51, 02BP12(2012).
[4] T. Hayashi et al.,: *Jpn. J. Appl. Phys*., 53, 111301(2014).
[5] Y. Mori et al.,: *J. Phys. D: Appl. Phys*., 47, 335102(2014).
[6] M. Kato et al.,: *Jpn. J. Appl. Phys*., 54, 04DP14(2015).
[7] T. Asada et al.,: *J. Vis. Exp*., 146, e59007(2019).
[8] M. Kato et al.,: *J. Appl. Phys*., 124, 095702(2018).
[9] P. B. Klein: *J. Appl. Phys*., 103, 033702(2008).
[10] L. Subačius et al.,: *Meas. Sci. Technol*., 26, 125014(2015).
[11] J. Linnros: *J. Appl. Phys*., 84, 275(1998).
[12] J. Linnros: *J. Appl. Phys*., 84, 284(1998).
[13] V. Grivickas et al.,: *Appl. Phys. Lett*., 95, 242110(2009).
[14] K. Nagaya et al.,: *J. Appl. Phys*., 128, 105702(2020).
[15] S. Mae et al.,: *Mater. Sci. Forum*, 924, 269(2018).
[16] T. Hirayama et al.,: *Rev. Sci. Instrum*., 91, 123902(2020).
[17] N. A. Mahadik et al.,: *Appl. Phys. Lett*., 111, 221904(2017).
[18] M. Kato et al.,: *J. Appl. Phys*., 127, 195702(2020).

第四节　SiC 功率半导体器件中电阻主要影响因素分析

一、分析 SiC MOSFET 反型层迁移率的模型和方法

（一）对 SiC MOSFET 迁移率的理解现状

SiC MOSFET（金属-氧化物-半导体场效应晶体管）中，降低沟道电阻成为一项重

国排高科 · 智能出版新时代　　书稿页面：第51页 / 共312页

清样输出时间：14:25:15 七月 29, 2025　　版心：33行×39字　　流程节点：印刷文件准备

要的技术挑战，而其主要限制因素是沟道中电子的迁移率。对于将来沟道电阻降低技术的开发以及器件工作解析模型构建而言，正确理解是不可或缺的。然而，与在 Si CMOS 技术中对 Si MOS 反型层沟道行为的深入理解相比，对 SiC MOS 反型层沟道的理解仍然不足。本节中将基于对 Si 的理解，探讨对 SiC MOS 反型层中电子迁移率的理解。

迁移率作为电子在固体中运动的平均速度的指标，由电场加速和电子受到周围散射作用的平衡决定。在 MOSFET 的沟道导电中，实际上决定迁移率的是作用于反型层中电子的各种散射机制。然而，在讨论 SiC MOSFET 反型层中的电子迁移率（以下简称为反型层迁移率）时，需要注意由于 MOS 界面附近存在高密度的俘获中心，因此通过施加栅极电压诱导在界面上的电子中，有相当高比例的电子被俘获并没有对导电产生贡献。换句话说，阻碍沟道中电子导电的不是各种电子散射，而是由于俘获中心导致对导电有贡献的载流子减少，受到其强烈影响的“沟道迁移率”，常常作为沟道特性的指标出现。然而，为了正确理解沟道电阻随着栅极电压和温度的变化，需要了解未被俘获而实际对导电有贡献的电子的散射机制。本节将尝试通过排除俘获中心影响的霍尔效应测量来确定迁移率，并在此基础上确定迁移率的各种散射机制的贡献大小。

（二）MOS 反型层载流子散射机制模型（参考 Si MOS 反型层）

1. 决定反型层迁移率的三种散射机制和马西森定则

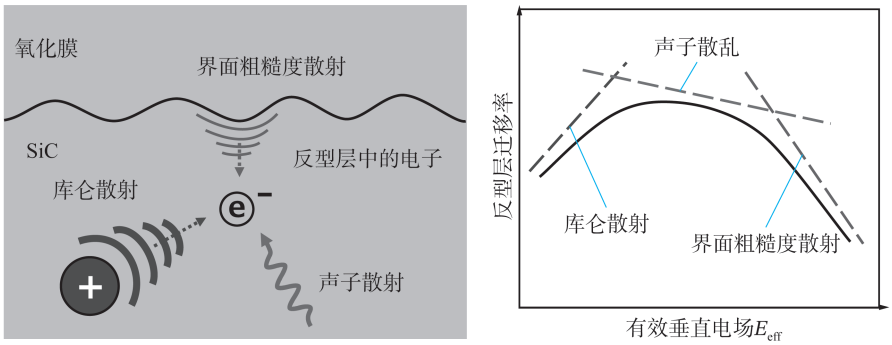
在对 Si MOSFET 进行系统理解的基础上，已经建立了关于反型层中的电子可能遭遇的各种散射因子的理论框架并基于此进行了公式化[1]。实验表明，在 Si MOSFET 的散射因子中，特别是①由杂质或缺陷能级带来的库仑散射；②声子散射；③由反型层界面的凹凸引起的界面粗糙度散射，这三个因子的组合对反型层迁移率的影响尤为重要[2]。

如果这些散射机制如图 1a 所示共存并相互独立地发挥作用，那么对电子的总散射概率可以将各个散射因子产生的散射概率简单相加来近似，这被称为马西森（Matthiessen）定则。假设各因子单独存在时得到的反型层迁移率分别表示为库仑散射迁移率（μ_{Coulomb}）、声子散射迁移率（μ_{phonon}）和界面粗糙度散射迁移率（μ_{SR}），则马西森定则可以表达为如下形式。

图 1b 中的虚线分别表示μ_{Coulomb}，μ_{phonon}，μ_{SR}，而式(1)中计算的反型层迁移率（μ）受到最强烈的散射因子的支配。改变栅极电压会导致各种散射的强度变化，使得处于支配地位的散射机制变化。但是请注意，此图的横轴表示根据栅极电压变化的有效垂直电场（稍后解释）。

国排高科 · 智能出版新时代　　书稿页面：第52页 / 共312页

清样输出时间：14:25:15 七月 29, 2025　　版心：33行×39字　　流程节点：印刷文件准备



a）　　b）

图 1　a）3 个散射因子同时作用于反型层中的电子（概念图）
b）有效垂直电场引起的反型层迁移率变化的模式图（各虚线表示各个散射因子单独作用时得到的迁移率$\mu_{Coulomb}$，μ_{phonon}和μ_{SR}）

$$\mu^{-1} = \mu_{Coulomb}^{-1} + \mu_{phonon}^{-1} + \mu_{SR}^{-1} \tag{1}$$

在这里，库仑散射是指载流子受到半导体中的杂质电荷、在半导体与栅极绝缘膜之间形成的缺陷能级的俘获电荷等的散射效应，其特点是它受到反型层中的载流子密度（等于表面载流子密度N_S）的影响，该密度变化会改变散射中心对电荷屏蔽效应的程度[3]。由于电子的运动能量较低时，散射效应较强，因此在低温时更容易观察到库仑散射。而且，散射体的空间位置也很重要。例如，如果散射源位于栅极绝缘膜和半导体界面附近，则对于距离界面较近的电子，散射会更强烈。因此，这导致了对沟道掺杂浓度和对栅极电压的依赖性的特征性倾向，稍后将详细描述。

一方面，声子散射是由反型层中的电子与晶格振动引起的声子之间的相互作用而产生的。与声子相互作用的电子的动量变化应该在散射前后保持一致，但反型层中的电子在空间上被限制在狭窄范围内，由于位置和动量的不确定性，因此电子的动量会有较大的不确定性。这实际上允许了本来不被允许的最终状态，这意味着声子散射会高频发生[4]。因此，栅极电压较高时，反型层在空间上的狭窄使得发生声子散射的倾向更为明显。衡量反型层的厚度的指标是作用于反型层中电子的“有效垂直电场（E_{eff}）”这一参数。当声子散射占主导地位时，反型层中电子的迁移率对于E_{eff}是唯一确定的，与载流子浓度或栅极氧化膜厚度无关，这被称为“普适性”。另外，由于晶格振动的温度依赖性与库仑散射不同，声子散射在高温时更容易显现。

另一方面，界面粗糙度散射是指当栅极电压进一步增加、反型层厚度进一步缩小，将电子推入界面附近狭小空间时，界面的凹凸作为摄动势对电子进行散射的效应，其大小与反型层的厚度相关。因此，随着E_{eff}的增加，界面粗糙度散射会显现，并且可以近似

清样输出时间：14:25:15 七月 29, 2025　　版心：33行×39字　　流程节点：印刷文件准备

地用摄动势的平方来表示散射概率，即以E_{eff}^2的函数来表示。这 3 种散射机制的定性理解在 Si MOSFET 的系统研究中已得到定量验证。本节将讨论这些定性理解在 SiC MOSFET 中同样适用的观点。

2. 反型层迁移率的普适性

如前所述，声子散射和界面粗糙度散射的概率可以近似地由反型层厚度指标E_{eff}决定。E_{eff}是指反型层中的电子在垂直于界面的方向上受到的电场，根据高斯定律，它可以通过耗尽层形成的电场和反型层中电子形成的电场的某种和来表示。后者是指反型层中大量电子集团的存在本身对每个电子施加的一种自身电场效应。粗略地说，约一半的贡献来自自身电场的贡献，这是合理的估计。通过将这一贡献的比例表示为η，可以用于表示将电子困在界面中的电场的大小，这就是反映迁移率普适性的“有效垂直电场”[6]，并可以用耗尽层中的电荷密度Q_{dep}和反型层中的电荷密度Q_{inv}（$=qN\mathrm{s}$）表示为：

$$E_{\mathrm{eff}} = \varepsilon^{-1}\left(Q_{\mathrm{dep}} + \eta Q_{\mathrm{inv}}\right) \tag{2}$$

其中ε是半导体的介电常数。通过利用电容测量等方法确定Q_{dep}和Q_{inv}，求出有效垂直电场，即使是沟道中掺杂浓度和栅极氧化膜厚度不同的器件，或者在添加衬底偏压的情况下，也能够一致地比较耗尽层厚度。实验结果表明，对于反型层中电子的η的大小，与一半左右（η约为 0.5）相比，在室温下（110）Si 和（111）Si 上的 MOSFET 几乎可以准确地表达为$g = 0.33$[2]。更详细的研究显示，η随着E_{eff}的大小有微小的变化，而且在低温下η接近 1[7]，因此没有得到对η的正确解释。另外，在施加应力的情况下，η也会发生变化，这也表明，η与子带结构的相关性也是值得考虑的。关于η的本质尚有很多不明确的地方，因此，对于 SiC MOSFET，关于η值的选择的合理性目前尚无法进行讨论。本节主要假设$g = 0.33$，这是在分析 Si NMOSFET 时经常应用的值。然而，这种选择对后续的讨论影响不大。

3. 霍尔效应测量作为 MOSFET 迁移率评估方法的实用性

在考虑 SiC 反型层中电子的散射机制时，需要注意迁移率的评估方法。本节使用的霍尔效应测量是一种利用在磁场中由洛伦兹力产生的与电流成比例的霍尔电压现象来确定导电载流子速度的方法。在 MOSFET 中，通过在平面沟道上施加垂直方向的磁场，并测量与漏极电流成比例的霍尔电压，可以确定反型层中的载流子迁移率，并同时确定电子密度。通过这种方法确定的迁移率称为霍尔效应迁移率（μ_{Hall}）。本节通过图 2 中示意的霍尔条对其进行评估。测量时使用通道长度L与通道宽度W比值较大的器件，并在与通道方向垂直的方向上设置了用于测量霍尔电压的端子。

国排高科 · 智能出版新时代　　书稿页面：第54页 / 共312页

清样输出时间：14:25:15 七月 29, 2025　　版心：33行×39字　　流程节点：印刷文件准备

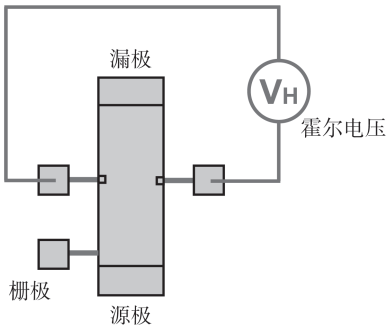


图 2　常用于测量霍尔效应迁移率的霍尔条示意图（在形状为沟道宽度 < 沟道长度的沟道中间设置霍尔电压测量用的端子，在与纸面垂直方向的磁场中通电，就可以测量霍尔电压。）

另一方面，对于 SiC MOSFET 的反型层迁移率评估通常使用有效迁移率或电场效应迁移率等定义，但这些定义在 SiC MOSFET 中往往受到界面附近高密度俘获中心的影响。迁移率的测量是根据沟道导电率随着施加栅极偏压在反型层中引起的载流子密度成比例增加的关系来计算的，但在这些定义的情况下，由于载流子密度由栅极电容决定，因此会包括被诱导到界面并被缺陷俘获的电子。然而，在霍尔效应测量中，通过对运动中的电子施加的洛伦兹力计算载流子密度，可以正确确定实际对沟道导电有贡献的电子的密度。实际上，通常 SiC MOSFET 的μ_{Hall}明显大于通过“沟道迁移率”定义的数值，如有效迁移率或电场效应迁移率，因此认为μ_{Hall}更适合分析对沟道导电有贡献的电子的运动[8-15]。在类似的观点下，将霍尔效应测量应用于 SiC MOSFET 的迁移率分析的报告很常见，这些报告尝试分析反型层中电子的散射机制，与本节类似。

在这里需要注意的是，有效迁移率μ_{eff}和μ_{Hall}的数值差异，不仅包括电子俘获的影响，还包括其他物理原因，这通过霍尔因子（$\mu_{\mathrm{Hall}}/\mu_{\mathrm{eff}}$）来表示。这个因子包括两个因素，一个是由于载流子传输特性的各向异性引起的因子，另一个是由于载流子散射概率的能量依赖性引起的因子。特别是后者，即使在电子性质近似为各向同性的系统中也存在，是由统计效应引起的不可避免的因素。

本来，对反型层中的电子的散射对于具有不同动能的各个电子来说应该是不一致的现象，而散射概率就是将这些平均化后表示的。在霍尔效应测量中，不仅是沟道方向的输运，电子的能量分散也会对由洛伦兹力引起的在与沟道垂直方向上的输运产生影响[16]。因此，即使在对没有电子俘获影响的器件进行评价时，也不可忽视μ_{eff}和μ_{Hall}之间原本就存在的差异。需要注意的是，本节所述的反型层迁移率就是μ_{Hall}。

国排高科 · 智能出版新时代　　书稿页面：第55页 / 共312页

清样输出时间：14:25:15 七月 29, 2025　　版心：33行×39字　　流程节点：印刷文件准备

二、SiC MOS 反型层迁移率模型的构建

（一）评估反型层中电子散射机制的关注点

反型层迁移率受到各散射因子竞争作用的影响，如式(1)所示。因此，通过改变器件和测量条件，大幅改变三种散射机制的相对强度，并在设定特定散射机制占主导地位的情况下进行分析，可以分离散射机制。为此，第一个观点是，如图 1b 所示，不同散射机制的散射强度随着栅极电压变化而表现出显著的不同。如前所述，由于库仑散射具有随着表面载流子密度N_S增大而被屏蔽的性质，因此$\mu_{Coulomb}$被认为与N_S的幂成正比[19,20]。另一方面，由于声子散射和界面粗糙度散射与反型层的空间宽广程度有关，因此它们随着有效垂直电场E_{eff}的增大而显现。例如，如果假设反型层内的电子只占据基态，则μ_{phonon}与$E_{eff}^{-1/3}$成比例[19]。此外，μ_{SR}在散射概率近似为摄动势平方的模型中，被认为大致与E_{eff}^{-2}成正比[5]。

此外，比较沟道区域的受主浓度和测量温度也是重要的。后文将详细讨论，由于库仑散射的强度与受主浓度密切相关，因此在受主浓度较高的器件中可以观察到库仑散射，而将受主浓度极端降低则可以观察到声子散射和界面粗糙度散射。由于不同的散射机制导致散射强度的温度依赖性差异很大，因此也可以通过改变测量温度来改变主导的散射机制，本节在验证主导的散射机制时采用了这种方法。

（二）在 SiC MOS 反型层中提取声子散射迁移率

已有相关报告显示使用霍尔效应测量 SiC MOSFET 的反型层迁移率时，其与 p 型阱区的受主浓度（N_A）有关[12]。图 3 概念性地展示了不同受主浓度对霍尔效应迁移率和有效垂直电场的关系。对于受主浓度低至 1×10^{15} cm^{-3} 的样品，有报告指出，由于$\mu_{Coulomb}$的增大，声子散射变得更为重要[11]。换句话说，随着受主浓度的降低，声子散射的主导地位增强。也就是说，通过进一步降低受主浓度可能可以定量求得μ_{phonon}。一旦μ_{phonon}被定量求出，并作为有效垂直电场的函数确定公式关系，就可以基于马西森定则从测得的μ_{Hall}中消除声子散射的影响，从而对$\mu_{Coulomb}$和μ_{SR}的大小进行分析。

图 4 展示了 SiC MOSFET 反型层中μ_{Hall}与受主浓度的关系。通过在 MOSFET 的受主浓度在大范围内变化进行反型层迁移率评估。这里使用在(0001)面（Si 面）上制备的 p 型外延层，栅极氧化膜采用氮氧化膜。测量在室温下进行。如先前的研究所预期的，通过将受主浓度从 4×10^{17} cm^{-3} 降低到 6.6×10^{14} cm^{-3}，可以抑制库仑散射的影响，从而提高反型层迁移率。另一方面，将受主浓度进一步降低到 3.0×10^{14} cm^{-3} 时，反型层迁移率的增大开始趋于饱

清样输出时间：14:25:15 七月 29, 2025　　版心：33行×39字　　流程节点：印刷文件准备

和。在受主浓度为 $1\times10^{14}\,\mathrm{cm}^{-3}$ 的两个样品中，反型层迁移率的曲线如虚线所示，表明通过将受主浓度降低到 $1\times10^{14}\,\mathrm{cm}^{-3}$，观察到与$\mu_{\mathrm{phonon}}$相近的值。以虚线代表的声子散射迁移率，如式(3)所示，有效垂直电场的指数为−0.39。由于该值接近理论研究所得声子散射迁移率的有效垂直电场依赖性（−1/3）[19]，因此可以认为使用这种方法评估声子散射迁移率是合理的。

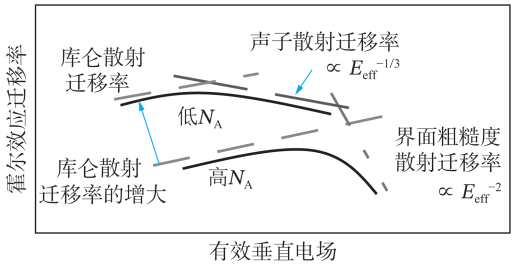


图 3　不同受主浓度下霍尔效应迁移率与有效垂直电场的关系（示意图）

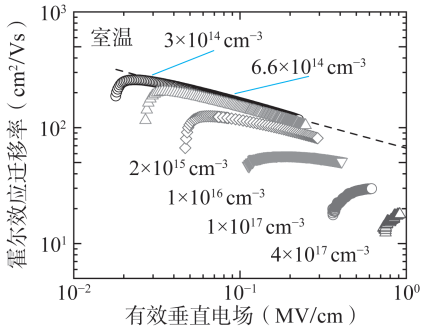


图 4　反型层霍尔效应迁移率的受主浓度依赖性（横轴为有效垂直电场，受主浓度在图中标明。此外，有效垂直电场的计算使用了$\eta=0.33$。）

$$\mu_{\mathrm{phonon}}=66.5\times E_{\mathrm{eff}}^{-0.39} \tag{3}$$

当在受主浓度最低的器件中研究反型层迁移率的温度依赖性时，发现在高于室温的区域内，反型层迁移率单调递减，与定性的声子散射的温度依赖性相符[21]。此外，当使用热氧化膜和氮氧化膜作为栅极绝缘膜时，反型层迁移率与前文评估时形成的声子散射迁移率公式相似，因此认为此评估所得到的声子散射迁移率公式反映了热氧化膜/SiC 界面的基本特性。另外，在使用在(0001)面（C 面）上制备的 MOSFET 进行分析时，得到的μ_{phonon}与本结果的一致性很好。

（三）SiC MOS 反型层中的库仑散射迁移率和界面粗糙度散射迁移率

排除了声子散射的影响后的霍尔效应迁移率（$\mu_{\mathrm{Hall,w/o\ phonon}}$）由$\mu_{\mathrm{Coulomb}}$和$\mu_{\mathrm{SR}}$决定。因此，从测得的$\mu_{\mathrm{Hall}}$中排除声子散射的影响，并进一步利用库仑散射和界面粗糙度散射的

清样输出时间：14:25:16 七月 29, 2025　　版心：33行×39字　　流程节点：印刷文件准备

特征，进行分离和评估。首先，已知界面粗糙度散射仅在E_{eff}较高的区域才显现，而在E_{eff}较低的区域其影响较小。E_{eff}随着受主浓度和N_S的增大而升高。当受主浓度不高时，在表面载流子密度较低的区域，可以忽略界面粗糙度散射的影响。

因此，霍尔效应迁移率（$\mu_{Hall,w/o\ phonon}$）在表面载流子密度较低的区域主要受到库仑散射的影响。图 5 展示了在受主浓度适中的器件中，$\mu_{Hall,w/o\ phonon}$与N_S关系的示意图。在这里，通过利用$\mu_{Coulomb}$随N_S的增加而呈幂函数增加的特征，可以在实验中评估$\mu_{Coulomb}$。另一方面，在表面载流子密度较高的区域，由于界面粗糙度散射的影响逐渐显现，$\mu_{Hall,w/o\ phonon}$将比在低N_S区域外推得到的值更低。考虑到这种减少是由界面粗糙度散射效应引起的，基于马西森定则，可以评估界面粗糙度散射迁移率。

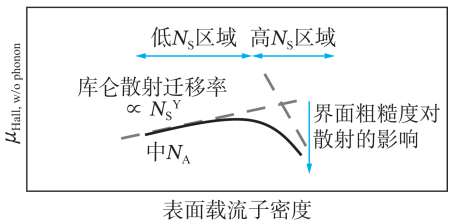


图 5　$\mu_{Hall,w/o\ phonon}$与表面载流子密度的关系示意图

图 6 展示了使用本方法评价中等程度受主浓度 $1\times10^{16}\ cm^{-3}$ 的器件的μ_{Hall}、μ_{phonon}、$\mu_{Coulomb}$、μ_{SR}和E_{eff}的关系。从结果来看，μ_{SR}可以通过式(4)来表示，μ_{SR}与E_{eff}^{-2}成正比。另外，明确了在 250 K 到 348 K 的温度范围内几乎没有温度依赖性[17,18]。

$$\mu_{SR}=76.7\times E_{eff}^{-2} \tag{4}$$

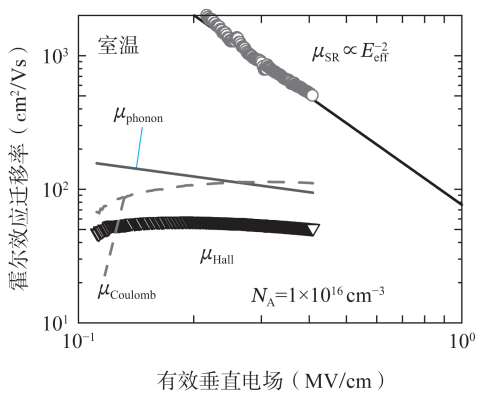


图 6　霍尔效应迁移率、声子散射迁移率、库仑散射迁移率、界面粗糙度散射迁移率与有效垂直电场的关系（计算有效垂直电场时使用$\eta=0.33$）

清样输出时间：14:25:16 七月 29, 2025　　版心：33行×39字　　流程节点：印刷文件准备

此外，基于μ_{phonon}和μ_{SR}的计算公式，使用马西森定则，即使对于高掺杂浓度的器件，也可以评估$\mu_{Coulomb}$。图 7 显示了在受主浓度为 1×10^{16}、1×10^{17} 和 $4\times10^{17}\ cm^{-3}$ 时，库仑散射迁移率与表面载流子密度的关系。随着受主浓度的增大，$\mu_{Coulomb}$减小。当受主浓度不同时，$\mu_{Coulomb}$相对于N_S的指数（γ）分别为 0.2、0.45、0.54，表明随着受主浓度的增大，γ也在增大。

为了进一步理解 SiC MOSFET 中$\mu_{Coulomb}$的特性，在对 MOSFET 的 p 型阱区施加负体偏压（V_B）的条件下评估了μ_{Hall}[17,24]。测量在室温下进行。图 8 显示了施加V_B时N_S与反型层迁移率的关系。该受评估器件的受主浓度为 $1\times10^{16}\ cm^{-3}$，V_B设置为 0、−2、−4、−8、−16 V。随着V_B反向增大，反型层迁移率单调减小。在此器件中，当V_B为 0 V 时，在低N_S区域μ_{Hall}主要受到库仑散射的影响，在高N_S区域声子散射的影响开始显现，这与前文的分析相符。

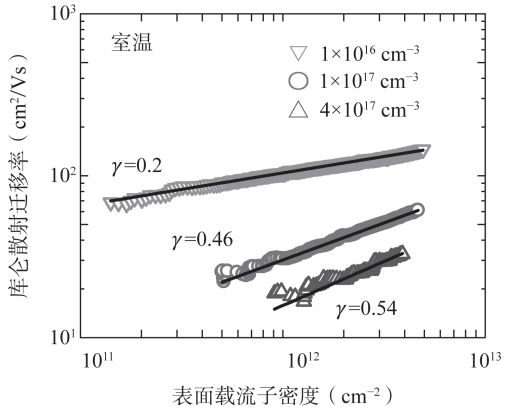


图 7　库仑散射迁移率与表面载流子密度的关系（受主浓度为 1×10^{16}、1×10^{17}、$4\times10^{17}\ cm^{-3}$）

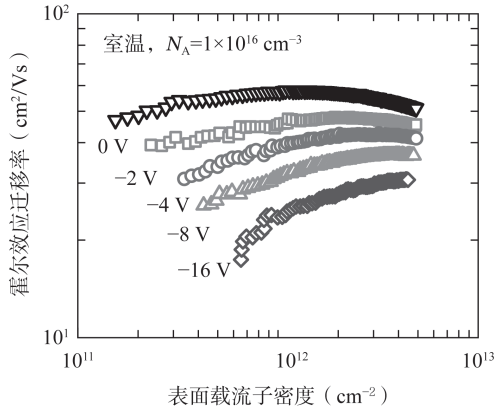


图 8　施加体电压时霍尔效应迁移率与表面载流子密度的关系（受主浓度为 $1\times10^{16}\ cm^{-3}$）

为了深入理解这一特征性行为，笔者等人对反型层中电子与氧化膜/SiC 界面之间的距离（Z_{AV}）与库仑散射迁移率的关系进行了分析[24]。在本分析中，考虑到反型层中的电子具有空间分布，将Z_{AV}定义为反型层内的平均电子位置。图 9 表示的是，在各种受主浓度的器件中，改变施加V_B时的μ_{Hall}以及各散射迁移率和Z_{AV}的关系。在受主浓度为 1×10^{16}～$4\times10^{17}\ cm^{-3}$ 的范围内，$\mu_{Coulomb}$与受主浓度和V_B无关，将其绘制在同一曲线上，$\mu_{Coulomb}$随着Z_{AV}的减小而单调下降。这表明，$\mu_{Coulomb}$显示反型层内的电子随着接近氧化膜/SiC 界面而减少，且在氧化膜/SiC 界面附近产生了强烈的库仑散射[24]。出现这种特征的库仑散射的主要原因是什么呢？在 SiC MOSFET 的栅极氧化膜中，对热氧化膜进行氮化处理的氮氧化膜被广泛使用，但已判明无论是否进行氮化处理都不会对$\mu_{Coulomb}$的值产

国排高科 · 智能出版新时代　　书稿页面：第59页 / 共312页

清样输出时间：14:25:16 七月 29, 2025　　版心：33行×39字　　流程节点：印刷文件准备

生很大影响[13,22,25]。从氧化膜/SiC 界面俘获电子的界面态密度的观点来看，未进行氮化处理的热氧化膜比氮氧化膜的导带附近的界面态密度高出 6 倍左右。但是，由于两者的μ_{Coulomb}基本相同，因此可以认为界面态密度不是库仑散射的主要原因。另外，由于对同一器件施加V_{B}会显著降低μ_{Coulomb}，因此电离杂质散射也不是库仑散射的主要因素，认为库仑散射源局限在界面附近的观点是合理的。目前尚不清楚库仑散射的具体原因，需要进行进一步的研究。

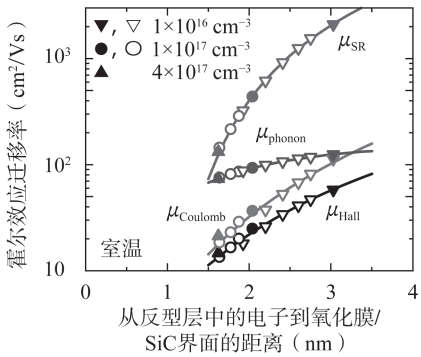


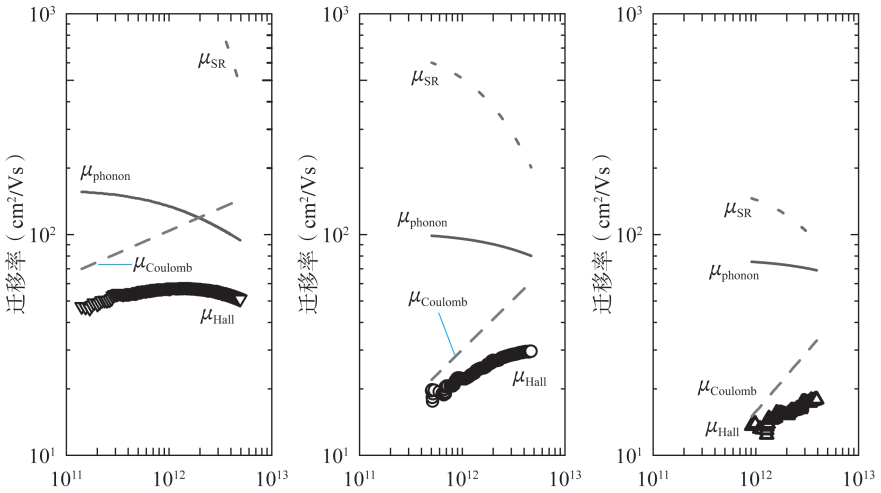
图 9　反型层中电子与氧化膜/SiC 界面的距离与霍尔效应迁移率以及各散射迁移率的关系（实心符号表示体电压为 0 V 时，空心符号表示施加负体电压时）

（四）各种散射机制对 MOS 反型层载流子的影响程度

按照前述的实验结果，对反型层中的电子进行了各散射机制的定量计算，结果表明，起主导作用的散射机制取决于掺杂浓度。图 10 展示了掺杂浓度分别为 $1\times10^{16}\ \mathrm{cm^{-3}}$、$1\times10^{17}\ \mathrm{cm^{-3}}$ 和 $4\times10^{17}\ \mathrm{cm^{-3}}$ 的器件分离散射机制的例子。对于 $1\times10^{16}\ \mathrm{cm^{-3}}$ 掺杂浓度（较低）的器件，随着反型层中载流子密度的增大，最主要的散射机制从库仑散射转变为声子散射。而对于 $1\times10^{17}\ \mathrm{cm^{-3}}$ 掺杂浓度（较高）的器件，在测量范围内最主要的是库仑散射，随着掺杂浓度的增大，库仑散射的主导性增强。此外，对于 $4\times10^{17}\ \mathrm{cm^{-3}}$ 掺杂浓度（较高）的器件，尽管界面粗糙度散射的影响相对较大，但在测量范围内仍表现出比μ_{phonon}和μ_{Coulomb}更高的值，从而表明界面粗糙度散射的影响相对较小。由于界面粗糙度散射的影响相对于其他散射较小，SiC MOSFET 反型层迁移率的限制因素主要是声子散射和库仑散射。本结果与传统模型[10,26]不同，在高E_{eff}侧反型层迁移率的下降主要受到声子散射而非界面粗糙度散射的影响。由于μ_{phonon}已被明确认为反映了热氧化膜/SiC 界面的材料特性，因此为了提高反型层迁移率，抑制库仑散射是至关重要的。

国排高科 · 智能出版新时代　　书稿页面：第60页 / 共312页

清样输出时间：14:25:16 七月 29, 2025　　版心：33行×39字　　流程节点：印刷文件准备



a）受主浓度为1×10^{16} cm^{-3}　b）受主浓度为1×10^{17} cm^{-3}　c）受主浓度为4×10^{17} cm^{-3}

图 10　霍尔效应迁移率以及各散射迁移率与表面载流子密度的关系

在此，将这次的分析结果与过去研究中 SiC MOSFET 模型对散射机制的分析结果[8-11,26,27]进行比较（但是，结合以往的报告，在计算E_{eff}时设$\eta=0.5$）。用本方法通过实验评估得到的μ_{phonon}与以往报告的值[26,27]相比为 1/4 以下，判明了至今为止对声子散射的影响被低估了。另外，用本方法得到的μ_{SR}，比大部分的报告[8-10,26]大，与一部分参考文献[11]基本一致。也就是说，在以往的很多模型中，界面粗糙度散射的影响被高估了。

（五）对于 MOS 反型层载流子的温度依赖性的理解

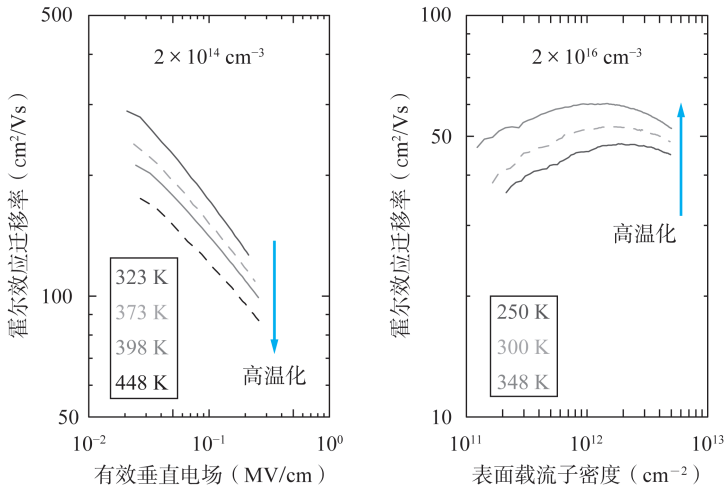
利用不同温度下迁移率的温度依赖性差异的事实，可以估计在不同掺杂浓度的器件中起主导作用的散射机制。一般来说，随着温度的升高，声子散射增加，而库仑散射减小，因此μ_{phonon}和μ_{Coulomb}表现出相反的温度依赖性。由前述可知，SiC MOSFET 的反型层迁移率主要受到声子散射和库仑散射的影响，通过评估反型层迁移率的温度依赖性，可以验证哪种散射机制是主导的。

图 11a 展示了在低掺杂浓度（约2×10^{14} cm^{-3}）下测得的反型层迁移率的温度依赖性。当温度从 323 K 升至 448 K 时，反型层迁移率单调下降。在高温下，受到声子散射的影响增强，导致反型层迁移率下降。因此，这一结果支持了在低掺杂浓度的器件中，反型层迁移率主要由声子散射起主导作用的前述解释。此外，在 323 K 到 473 K 的温度范围内，E_{eff}为 0.2 MV/cm 时的反型层迁移率与$T^{-1.0}$成正比。虽然此评估是基于 Si 面的结果，但与 C 面上

国排高科 · 智能出版新时代　　书稿页面：第61页 / 共312页

清样输出时间：14:25:16 七月 29, 2025　　版心：33行×39字　　流程节点：印刷文件准备

的μ_{phonon}与$T^{-0.85}$成正比的报告[23]也大体一致。



a）受主浓度为 2×10^{14} cm^{-3}　　b）受主浓度为 1×10^{16} cm^{-3}

图 11　霍尔效应迁移率的温度依赖性

另一方面，图 11b 显示了对受主浓度为中等程度（约 1×10^{16} cm^3）的器件，反型层迁移率的温度依赖性。温度从 250 K 上升到 348 K 时，反型层迁移率单调增加。这表明，在受主浓度为中等程度的器件中，反型层迁移率主要受库仑散射的影响，温度越高，库仑散射越弱，反型层迁移率就越大，这也与上述分析结果一致。

三、总结

（一）SiC MOSFET 反型层迁移率解析模型的建立

通过对 SiC MOSFET 反型层迁移率的系统分析，笔者等人定量估计了对反型层中电子的散射机制。过去许多关于反型层迁移率的研究主要集中在如何通过抑制界面附近电子俘获的影响来提高电流值，即集中在“沟道迁移率”的提高上。然而，在本节中，笔者等人提取了对沟道导电有贡献的电子，并对这些电子所展现的迁移率进行了考察。结果表明，库仑散射、声子散射和界面粗糙度散射这三种散射机制共存，通过这些独立作用的散射概率的总和来表征电子的迁移率。这一框架与过去在 Si MOSFET 中讨论的框架一致，以此为基础，可以解释 SiC MOSFET 反型层中电子的散射机制。关于在 SiC 中明显存在的库仑散射，已经提到它与传统 Si MOSFET 中经常讨论的散射模型存在不一致之处，需要进一步研究。尽管 SiC 中有这类不同于 Si 的独特现象，但是在定性地理解 SiC MOSFET 反型层中电子的散

清样输出时间：14:25:16 七月 29, 2025　　版心：33行×39字　　流程节点：印刷文件准备

射时，可以采用在 Si 中获得的模型，而没有理由需要大幅变更。

在本节中，通过沿用这种模型进行系统分析，可以对各种条件下 SiC MOSFET 反型层中电子的各散射因子的影响程度进行定量评估，并获得正确理解。虽然讨论的这些器件的 MOS 界面都是通过标准的氮化处理得到的，但在使用其他各种 MOS 界面形成方法时，也可以通过类似的分析方法进行分析。

（二）SiC MOSFET 反型层迁移率研究的未来发展

包括本节的研究在内，对 SiC MOSFET 反型层中电子散射机制的理解引起了极大的关注，新的解释和讨论已经开始蓬勃发展。例如，基于对声子散射的理论计算，提出了一种以声子散射为主导，特别是在 M 点处的导带底端之间的散射产生影响的模型。此外，对于声子散射迁移率，也有人提出更高预期值的讨论。与此同时，关于 SiC MOSFET 反型层迁移率的浓度依赖性，也已经有与本节介绍的散射机制模型不同的其他模型展示出与实验结果的一致性。在该模型中，考虑了被界面态俘获的电子引起的库仑散射以及氧化膜/SiC 附近中性缺陷的影响，声子散射贡献的影响比本节的推测要小。而且近年来，以本节介绍的实验结果为基础，在市场上销售的半导体器件模拟软件中加入了 SiC MOSFET 的反型层迁移率模型。为了再现实验结果，提出了将库仑散射迁移率模型化的经验公式[30]，本节中的研究对器件模拟技术的提高也有很大的帮助。

参考文献

[1] T. Ando, A. B. Fowler and F. Stern: *Rev. Modern Phys*., 54 (2) 437(1982).
[2] S. Takagi et al.,: *IEEE Trans. Electron Devices* 41, 2357 (1994).
[3] F. Stern and W. E. Howard: *Phys. Rev*., 163, 816 (1967).
[4] P. J. Price: *Annals. Phys*. 133, 217 (1981).
[5] Y. Matsumoto and Y. Uemura: *Jpn. J. Appl. Phys*. 13, 367 (1974).
[6] A. G. Sabais and J. T. Cemens: Tech. Dig. of IEEE Int. Electron Devices Meet., p.18 (1979).
[7] H. Irie et al.,: Tech. Dig. of IEEE Int. Electron Devices Meet., p.459 (2003).
[8] V. Tilak, K. Matocha and G. Dunne : *IEEE Trans. Electron Devices* 54, 11 (2007).
[9] S. Dhar et al.,:*J. Appl. Phys*. 108, 054509 (2010).
[10] H. Naik and T.-S. P. Chow: Mater. Sci. Forum 679-680, 595 (2011).
[11] V. Uhnevionak et al.,: *IEEE Trans. Electron Devices* 62, 8 (2015).

国排高科 · 智能出版新时代　　书稿页面：第63页 / 共312页

清样输出时间：14:25:16 七月 29, 2025 版心：33行 × 39字 流程节点：印刷文件准备

[12] G. Ortiz et al.,: *Appl. Phys. Lett*, 106, 062104 (2015).
[13] T. Hatakeyama et al.,: *Appl. Phys. Express*, 10, 046601 (2017).
[14] E Fujita et al.,: *AIP Advances* 8, 085305 (2018).
[15] M. Sometani et al.,: *Appl. Phys. Lett*. 115, 132102 (2019).
[16] K. Seeger: “Semiconductor Physics, An Introduction”, 9th ed., Chap.4, Springer, (2004).
[17] M. Noguchiet et al.,: Tech. Dig. of IEEE Int. Electron Devices Meet, p 219 (2017).
[18] M Noguchi et al.,: *Jpn. J. Appl. Phys*.58, 031004 (2019).
[19] S. Takagi et al.,: *IEEE Trans. Electron Devices* 41, 2363 (1994).
[20] Y. Nakabayashi et al.,: Ext. Abstr. Int. Conf. Solid State Devices and Materials, p. 44 (2005).
[21] 野口ほか, 第 67 回応用物理学会春季学術講演会, 15p-A201-8 (2020).
[22] M Noguchi et al.,: *Jpn. J. Appl. Phys*, 58, SBBD14 (2019).
[23] T Ohashi, Y. Nakabayashi and R. Iijima: *IEEE Trans. Electron Devices* 65, 2707 (2018).
[24] M. Noguchi et al.,: *Jpn. J. Appl. Phys*. 59, 051006 (2020).
[25] M Nogachi et al.,: as discussed at the 2015 IEEE SISC, 4. 5 (2015).
[26] S. Potbhare, N. Goldsman and G. Pennington: *J. Appl. Phys*. 100, 044515 (2006).
[27] A. Pérez-Tomás et al.,: *J. Appl. Phys*. 100, 114508 (2006).
[28] T. Ohashi, R.IiJima and H. Yano: *Jpn. J. Appl. Phys*. 59 034003 (2020).
[29] H. Tanaka and N Mori: *Jpn. J. Appl. Phys*. 59, 031006 (2020).
[30] K.Naydenov, N. Donato and F. Udrea: *J. Appl. Phys*, 127, 194504 (2020).

国排高科 · 智能出版新时代 书稿页面：第64页 / 共312页